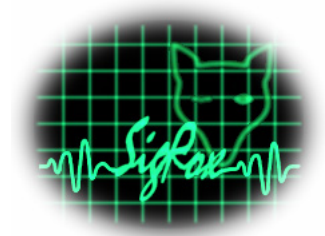


## Un double synthétiseur UHF N-Fractionnel à haute résolution Basé sur ASIC dédié Présentation et exemples d'applications.

Préparé par : Christophe FOURTET, Cédric MUSSOTTE *SigFox*



### 1 Introduction

**Mots clés :** Basse consommation, PLL multiples, faible bruit de phase, Synthèse N-Fractionnel, haute résolution, pas faibles, verrouillage ultra-rapide, évacion de fréquence rapide, large bande, précision digitale.

Les synthétiseurs de fréquence intégrés sont depuis longtemps largement employés dans les équipements de radiocommunication où ils constituent le bloc principal de contrôle de fréquence des oscillateurs locaux.

Les premiers synthétiseurs de fréquence de l'histoire sont apparus au début des années 30, et étaient basés sur des opérations arithmétiques entre diverses sources à quartz utilisant des fonctions bien analogiques (mélangeurs pour les additions et les multiplications, multiplicateurs de fréquence pour les multiplications, et autres générateurs d'harmoniques et filtres passe-bandes...)

Le principal avantage de ces systèmes au début de l'ère des équipements de communications modernes, était la stabilité par rapport au classique "VFO" (Variable Frequency Oscillator, accordé manuellement et "rattrapé" par l'opérateur radio, quand il "glissait"). Mais ils étaient lourds et produisaient un niveau élevé d'harmoniques, de bruits de fond et autres parasites. De plus, leur prix prohibitif les cantonnait à des installations lourdes telles que stations internationales, stations militaires fixes, navires, etc.

Utilisés jusque dans les années soixante, avec certains raffinements, simplifications, ou astuces diverses, ils furent virtuellement renvoyés au statut de curiosités historiques par les PLL (Phase locked Loop).

Bien qu'expérimentées assez tôt, les premières PLL pratiques apparurent au début des années soixante avec les progrès de l'intégration dans le silicium, et ceci, après une petite période où la mode était à la FLL (Frequency Locked Loop).

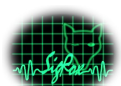
Le lecteur de ces lignes est à ce stade supposé être suffisamment familier avec la technique des PLL. Ceci dit, une littérature abondante existe, et des références classiques sont données à la fin de cette documentation.

Les premières PLL utilisaient des comparateurs phase/fréquence analogiques et étaient toutes du type "entier", ce qui signifie que la fréquence du VCO une fois le synthétiseur accroché, est une multiple (entier, donc) de la fréquence de référence, qui correspond au "pas en fréquence".

La fréquence de référence est, la plupart du temps, obtenue par une division entière d'une source à quartz la plus pure et stable possible.

Ainsi, un grand rapport de division est nécessaire pour obtenir un petit pas en fréquence, et le compromis "pas / vitesse d'accrochage / bruit de phase" est alors très difficile sinon impossible à obtenir. Pour les PLL de type entier, un compromis acceptable bruit / vitesse pour des équipements de radiocommunications typiques, conduit généralement à un pas autour des 10 KHz. A l'opposé, des petits pas (de l'ordre de 100 Hz par exemple), conduisent à des temps d'accrochage extrêmement longs et à la nécessité d'employer des VCO très faible bruit puisse que la bande de boucle est extrêmement petite.

Les premières techniques pour améliorer le compromis ci-dessus, c'est-à-dire accélérer le temps de verrouillage tout en ayant de petits pas et même une forme de "nettoyage de bruit" du VCO, furent les boucles multiples.



Deux PLL à pas larges, mais légèrement différents puisque provenant de deux références à quartz différentes et indépendantes, peuvent, par exemple, être combinées par mélange. Le produit de mélange dispose d'un pas fin égal à la différence de fréquence des deux références en même temps que la vitesse de verrouillage et le bruit de phase, sont propres aux boucles à pas larges.

Les DDS (Digital Direct synthesis), ont souvent été utilisées en tant que référence de PLL à pas large (bande de boucle large), conduisant à un bon compromis.

D'autres techniques de boucles multiples existent. Dans tous les cas, elles sont complexes, lourdes, consomment, et réclament des blindages importants pour éviter les produits parasites. Elles sont donc chères.

Les DDS sont également de plus en plus populaires en générateurs uniques. Elles répondent à des principes entièrement digitaux et sont ainsi particulièrement adaptées à l'intégration la plus totale dans le silicium.

Enfin, elles présentent des avantages sur les PLL entières, comme la vitesse, la résolution...

Malheureusement, leur coût et consommation élevés sont souvent problématiques, particulièrement au dessus des VHF. Si elles ne sont pas entièrement intégrées, elles réclament une grande quantité de composants digitaux rapides, en plus d'un convertisseur numérique / analogique haut de gamme.

En conséquence, elles restent inutilisables pour beaucoup d'équipements portables, et même fixes au dessus des VHF.

Néanmoins, est-il possible d'intégrer plus de deux boucles PLL sur une même puce, ayant une grande pureté spectrale, du "VCO-cleaning", en même temps qu'un verrouillage très rapide et une résolution (petitesse de pas minimum) propre aux DDS ou PLL largement plus chères ?

L'ASIC *SigFox* incorporant des synthèses dites "fractionnaires", est une réponse à cette question.

## 2 La synthèse Fractionnaire ou FracN

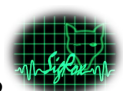
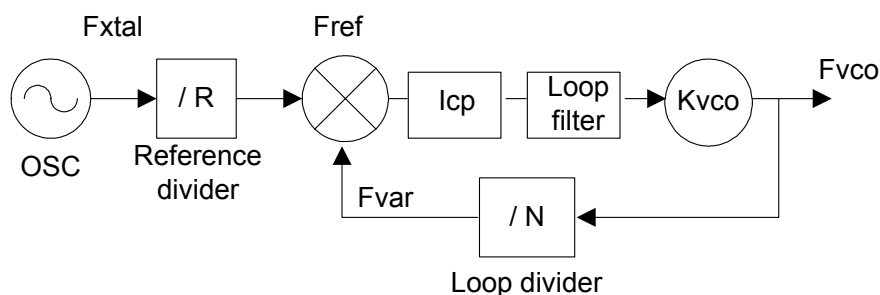
### 2.1 Introduction à la technique

Dans l'approche classique, La boucle à verrouillage de phase (PLL) est composée d'un oscillateur à quartz, d'un diviseur de référence, d'un comparateur phase / fréquence, d'un filtre de boucle et finalement d'un VCO (Voltage Controlled Oscillator).

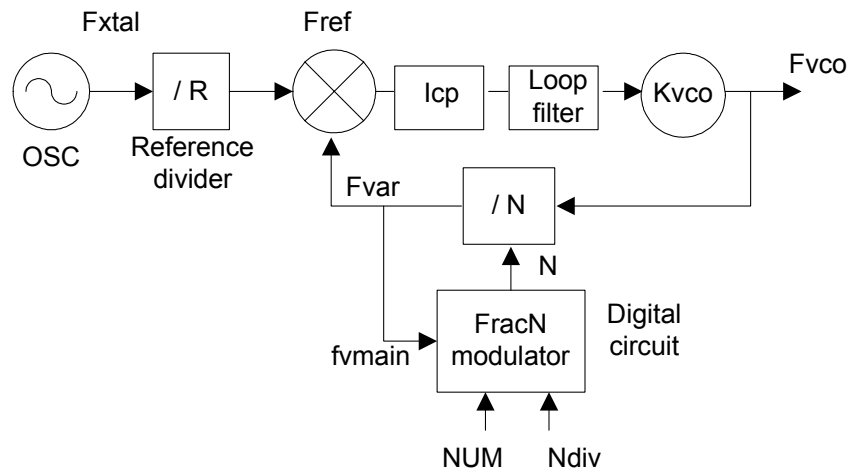
Le comparateur phase / fréquence inclut le comparateur proprement dit, ainsi qu'une pompe de charge (Charge Pump). Il peut être considéré comme un bloc unique. Le charge-Pump contient des générateurs de courant, qui produisent des courants "sink" ou "source" sur le filtre de boucle.

La fonction de transfert bien connue de la boucle ouverte correspondant à la figure ci-dessous s'écrit :

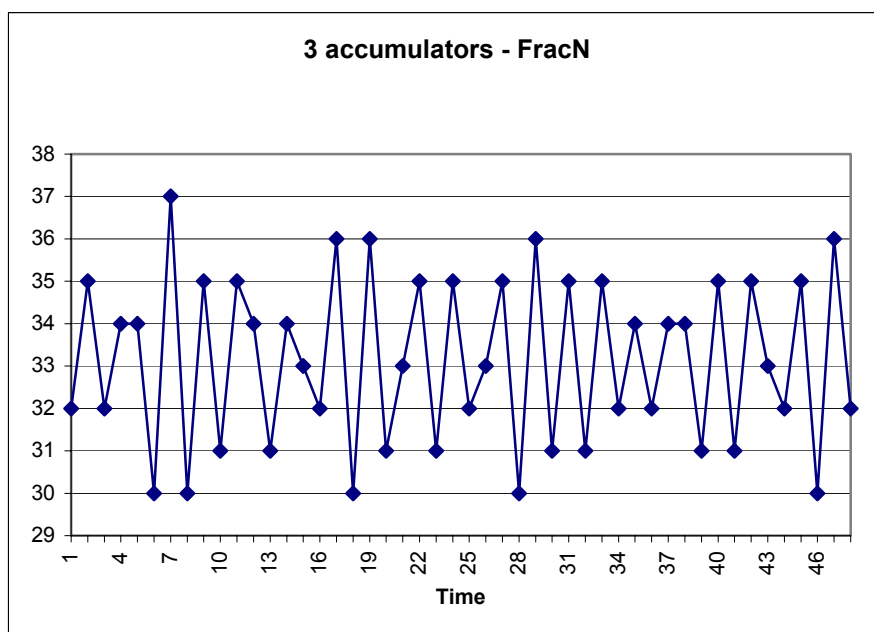
$H(p) = K_{vco} \cdot I_{cp} / N \cdot F(p) / p$  où  $K_{vco}$  est le gain VCO (Hz/V),  $I_{cp}$  le gain de comparateur (A) et N le rang de division entier. (Réf 2, 5, 6, 7)



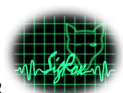
La topologie de PLL utilisée dans l'ASIC *SigFox* est appelée "fractionnaire" ou "*fractional N*" ou "Frac-N" car le diviseur de la boucle est fractionnaire et plus seulement entier. Beaucoup de littérature existe dans ce domaine. Nous avons sélectionné quelques références (réf 1, 6, 7)  
Le diagramme ci-dessous représente une PLL fractionnaire.



L'ASIC *SigFox* à synthèses fractionnaires utilise un modulateur de division à topologie dite "Sigma-Delta". Il génère une nouvelle valeur de division N à chaque coup d'horloge de  $f_{vmain}$ . Le nombre possible de valeurs discrètes dépend du nombre de bit "a" de l'accumulateur, par  $2^a$   
Il est évident que le diviseur physique de la boucle ne peut que diviser par un nombre entier N au temps T. Mais à l'intérieur d'un système "Frac-N" à 3 accumulateurs par exemple, ces valeurs N varient entre  $N_{div}-3$  et  $N_{div}+4$  ( $2^3=8$  états) en fonction des ordres du modulateur "Frac-N".  $N_{ave}$  est alors la **valeur moyenne** des rapports de division discrets et un exemple de séquence de division en fonction du temps est présenté ci-dessous.



Dans cet exemple la valeur moyenne de N vaut 33.125



## 2.2 Avantages

N (Le facteur de division) suit une loi calculée en temps réel, conduisant à un rapport de division moyen dans le temps. Ceci permet d'obtenir un pas minimum très petit (1.16 Hz en utilisant l'ASIC **SigFox** associé à une référence à quartz de 26 MHz par exemple).

Il est clair à ce stade, que l'avantage principal d'un tel type de synthèse, est que la fréquence de référence et de comparaison, n'est plus le pas minimum. Dans un synthétiseur PLL conventionnel de type entier, **l'écart canal (fs) ou pas** est égal à la fréquence de comparaison (fcomp) :

$$f_s = f_{comp} \quad \text{et} \quad F_{vco} = f_{comp} * N.$$

Avec l'ASIC **SigFox** (FracN – 3 accumulateurs 24 bits) l'espacement canal ou pas est :

$$F_{vco} = f_{comp} * (N + \text{Num} / 2^{24})$$

$$\text{Soit} \quad f_s = \{f_{comp} * [N + (\text{Num} + 1) / 2^{24}]\} - [f_{comp} * (N + \text{num} / 2^{24})] = f_{comp} / 2^{24}$$

Ainsi, par l'utilisation d'une technique FracN à accumulateur 24 bits, **l'espacement canal ou pas, peut être réduit par 2<sup>24</sup>**.

L'important avantage suivant est qu'une fréquence de comparaison plus élevée donne un rapport de division global ( $F_{vco} / f_{comp}$ ) beaucoup plus bas et ainsi un plancher de bruit de phase nettement plus bas.

Un autre bénéfice d'une fréquence de comparaison plus élevée est un temps de verrouillage beaucoup plus rapide, car cette fréquence de comparaison ( $2^{24}$  fois plus élevée que la résolution) donnant un parasite beaucoup plus éloigné de part et d'autre de la porteuse synthétisée, il est plus facile de le filtrer avec le filtre de boucle, conduisant à une boucle plus large et donc une synthèse PLL plus rapide.





## 3 ASIC *SigFox* – présentation rapide

**Keywords :** Triple Frac-N PLL's "en un circuit", haute résolution, précision digitale, modulateur FM/GMSK, Sortie horloge divisée, faible bruit de phase, temps de verrouillage rapide

### 3.1 Description

L'ASIC *SigFox* est un synthétiseur de fréquence intégrant trois PLLs fractionnaires à modulateurs sigma-delta 3 accumulateurs parfaitement indépendantes, chacune d'elle présentant les avantages déjà évoqués. Il intègre également 4 sorties de référence programmables et un modulateur FM/GMSK pour application type GSM ou transmission de données, modulation directement appliquée au Frac-N donc avec une précision digitale ne nécessitant aucun réglage.

Le circuit est fabriqué dans un process CMOS 0.18um de haute performance (Hip6WRF) alimentable entre 1.8V et 5V. Le boîtier est un QFN 48 pins 7x7mm.

### 3.2 Atouts techniques

Voici les avantages principaux de l'ASIC *SigFox*:

- 3 boucles de synthèses fractionnaires à modulateur sigma-delta 3 accumulateurs;
- Fonctionnement à haute fréquence: 2 GHz; (jusqu'à 2.6 GHz sans garantie)
- Oscillateur quartz 4 MHz à 50 MHz;
- Modulateur FM/GMSK;
- 4 sorties référence divisées à partir de l'oscillateur quartz;
- Système Dual port pour la modulation FM à faible distorsion;
- 2 interfaces SPI;
- Alimentations: 1.8V, 2.8V & 5V
- Température de fonctionnement: -30°C to 85°C.

Ces fonctions intégrées positionnent l'ASIC *SigFox* en excellente position concurrentielle dans une grande variété d'applications, parmi lesquelles nous avons :

- Les applications cellulaires GSM, W-CDMA & EDGE (téléphones portables 2G, 2.75 and 3G)
- Applications générales : Synthétiseurs large bande, haute résolution de 600 MHz to 2 GHz (2.6 GHz sans garanties)
- Global Positioning Systems (GPS)
- WLAN
- Satellites
- Equipements radio large bande (0 MHz à 4Ghz), transceivers SDR... Equipements de mesure comme des générateurs RF bas coût mais haute résolution, Analyseurs de spectre bas coût haute résolution "fully synthesized" ou "sweepers"... Par truchement de deux boucles et de la technique hétérodyne.

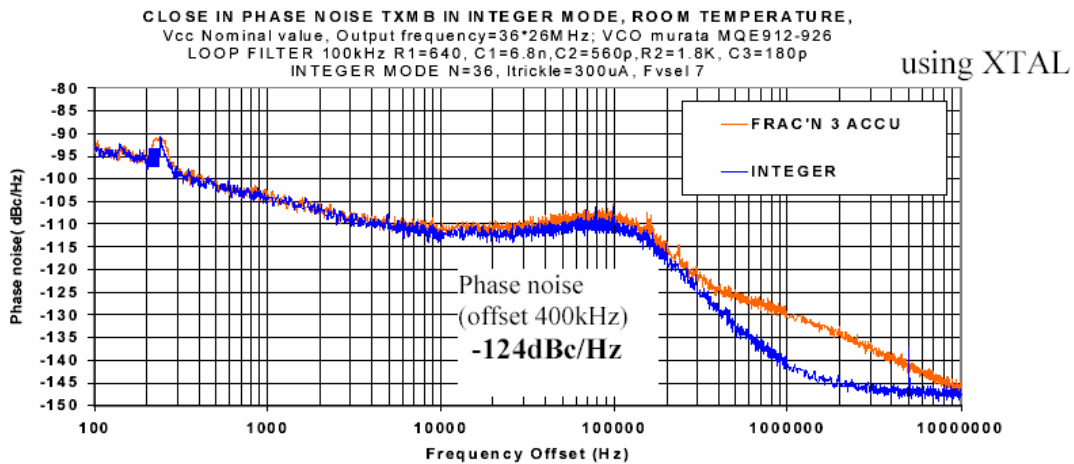


## 3.3 Performances RF

L'ASIC synthétiseur **SigFox** est caractérisé par la possibilité d'obtenir un très petit pas en fréquence combiné avec des performances exceptionnelles dont un faible bruit de phase et un temps de verrouillage rapide. Une mesure typique de bruit de phase est présentée dans le tableau et graphe suivants :

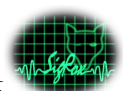
	Phase Noise (Offset 20kHz)	Phase Noise (Offset 400kHz)
Loop Band 100kHz	<b>FracN: -109 dBc/Hz Integer: -112 dBc/Hz</b>	<b>-124 dBc/Hz</b>

- Bruit de phase typique de l'ASIC **SigFox** -



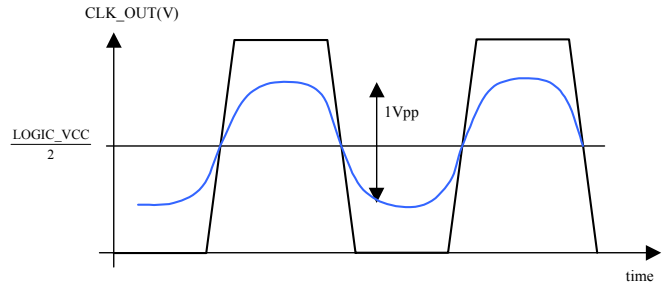
- Bruit de phase typique de l'ASIC **SigFox** en mode entier classique & FracN -

L'ASIC **SigFox** permet une résolution (pas minimum en fréquence) de l'ordre de 1 Hertz. Tout en ayant un temps de verrouillage de l'ordre de 100µs pour un saut de ±100MHz dans une application typique.



L'ASIC *SigFox* fournit également 4 sorties référence indépendantes programmables. Avec une référence à quartz de 26MHz par exemple, les références de sortie peuvent être choisies entre 26MHz, 26MHz/2, 26MHz/4 or 26MHz/8 dans 2 modes : mode CMOS (Carré 1.8V) mode Analogique (1V peak-peak sinus centré autour de 1.8V /2).

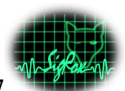
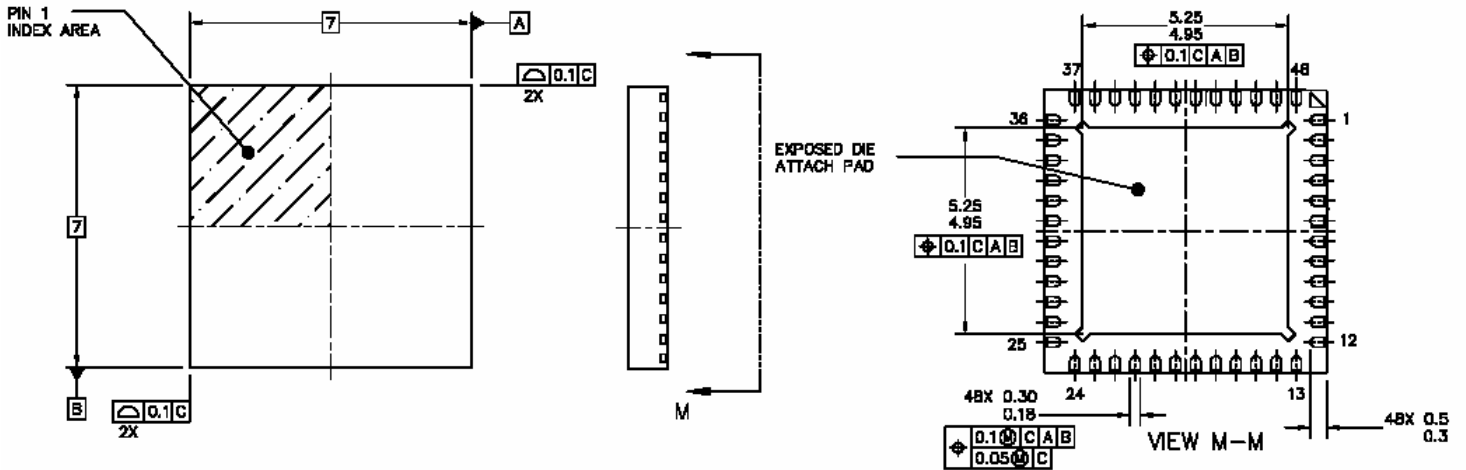
Programmable clock frequency	CMOS mode (1.8V square)	Analog mode (1V pk-pk)
	26MHz	26MHz
	13MHz	13MHz
	6.5MHz	6.5MHz
3.25MHz	3.25MHz	



- *SigFox* ASIC programmable reference clocks -

### 3.4 Boitier

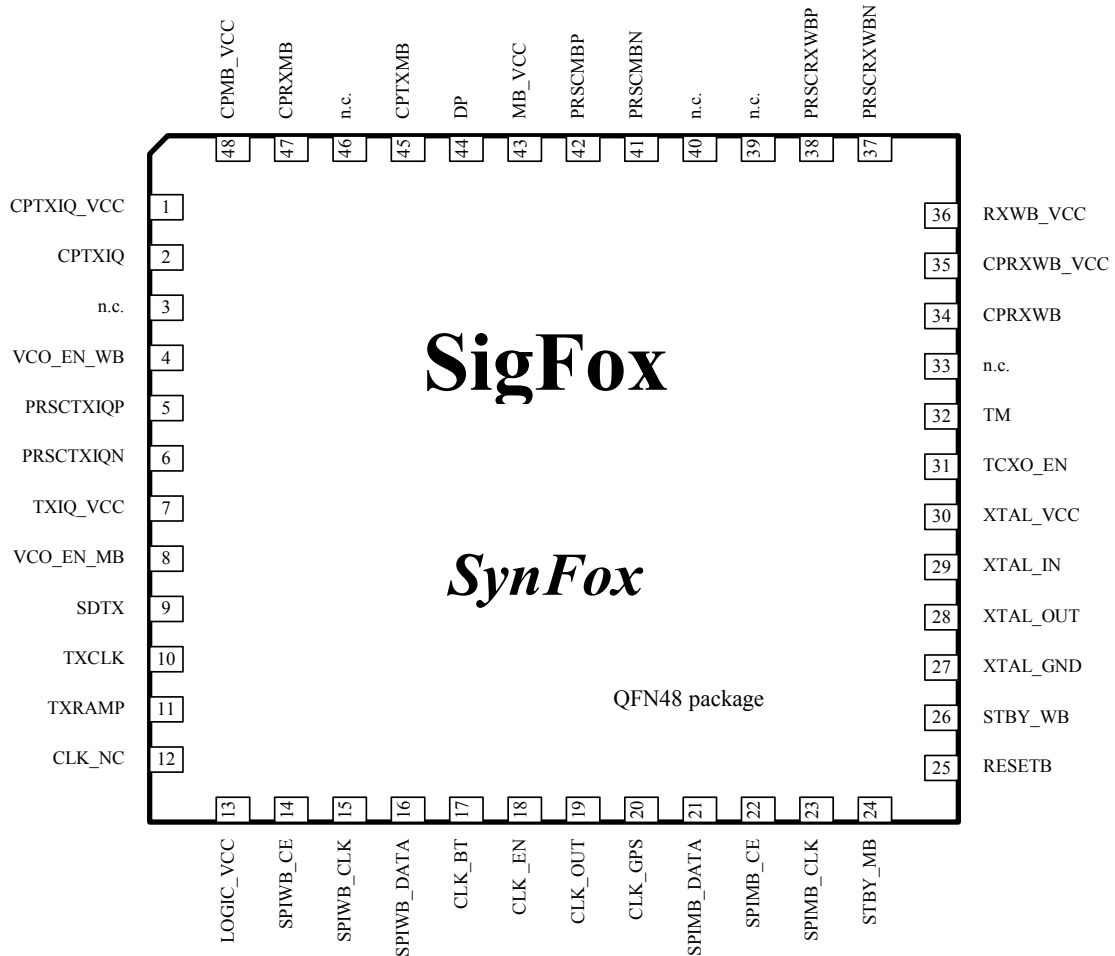
L'ASIC *SigFox* est un petit boitier “Quad Flat” sans plomb: QFN 48 pins 7x7 mm – pitch 0.5mm.



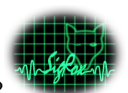
## 3.5 Description des broches

La figure suivante montre l'assignation des broches sur l'ASIC *SigFox*.

Note: Le pad de masse exposé sous le QFN doit être parfaitement connecté à GND avec un procédé de soudage bien rodé, suivant la nouvelle norme RoHs. La performance RF en dépend.

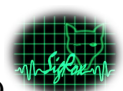


- Brochage de l'ASIC *SigFox* -



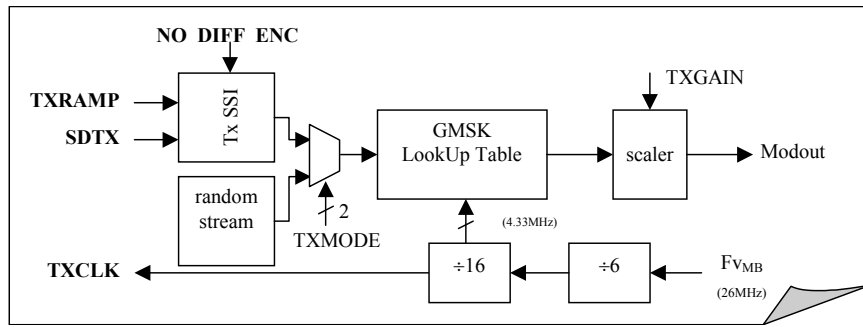
# High resolution UHF Synthesizer

PIN #	PIN NAME	PIN DESCRIPTION
1	CPTXIQ_VCC	TXIQ 5V charge-pump supply
2	CPTXIQ	TXIQ charge-pump output signal
3	n.c.	not connected
4	VCO_EN_WB	VCO enable input control (WB)
5	PRSCTXIQP	TXIQ prescaler positive input signal
6	PRSCTXIQN	TXIQ prescaler negative input signal
7	TXIQ_VCC	TXIQ 1.875V supply
8	VCO_EN_MB	VCO enable input control (MB)
9	SDTX	Serial Data TX
10	TXCLK	TX clock output signal
11	TXRAMP	TX Enable input signal
12	CLK_NC	Reference Oscillator divided output clock for non-cellular
13	LOGIC_VCC	Logic 1.875V supply
14	SPIWB_CE	Wide Band SPI Chip Enable input signal
15	SPIWB_CLK	Wide Band SPI Clock input signal
16	SPIWB_DATA	Wide Band SPI Data input signal
17	CLK_BT	Reference Oscillator divided output clock for BlueTooth
18	CLK_EN	Output Clock Enable input signal
19	CLK_OUT	Reference Oscillator divided output clock for Harmony IC
20	CLK_GPS	Reference Oscillator divided output clock for GPS
21	SPIMB_DATA	Medium Band SPI Data input signal
22	SPIMB_CE	Medium Band SPI Chip Enable input signal
23	SPIMB_CLK	Medium Band SPI Clock input signal
24	STBY_MB	Standby input signal (MB)
25	RESETB	Main Reset input signal (active low)
26	STDBY_WB	Standby input signal (WB)
27	XTAL_GND	Crystal Oscillator 2.775V ground
28	XTAL_OUT	Crystal Oscillator Output
29	XTAL_IN	Crystal Oscillator Input
30	XTAL_VCC	Crystal Oscillator 2.775V supply
31	TCXO_EN	TCXO Enable output signal (2.775V)
32	TM	Test Mode input signal
33	n.c.	not connected
34	CPRXWB	RXWB charge-pump output signal
35	CPRXWB_VCC	RXWB 5V charge-pump supply
36	RXWB_VCC	RXWB 1.875V supply
37	PRSCRXWBN	RXWB prescaler negative input signal
38	PRSCRXWBP	RXWB prescaler positive input signal
39	n.c.	not connected
40	n.c.	not connected
41	PRSCMBN	TXRXMB prescaler negative input signal
42	PRSCMBP	TXRXMB prescaler positive input signal
43	MB_VCC	TXRXMB 1.875V supply
44	DP	Dual Port output signal
45	CPTXMB	TXMB charge-pump output signal
46	n.c.	not connected
47	CPRXMB	RXMB charge-pump output signal
48	CPMB_VCC	RXMB 5V charge-pump supply



## 3.6 Modulateur FM / GMSK

Le modulateur FM/GMSK est une circuiterie digitale intégrée dans l'ASIC *SigFox* qui traite directement les data brutes à transmettre. Il transforme le flux de data d'émission à transmettre en une forme d'onde virtuelle dans le domaine digital "Modout". (Selon la spécification ETSI 3GPP TS 05.04). Le lien Data est une interface SSI. Modout est alors appliqué au diviseur N-fractionnaire d'une part. Cela représente le "chemin de modulation interne" appliqué en parallèle au "chemin de modulation externe" appelé "dual port circuit", qui consiste en une image analogique de Modout directement appliquée au VCO. Au final la combinaison des 2 chemins donne une modulation GMSK très robuste de qualité digitale.

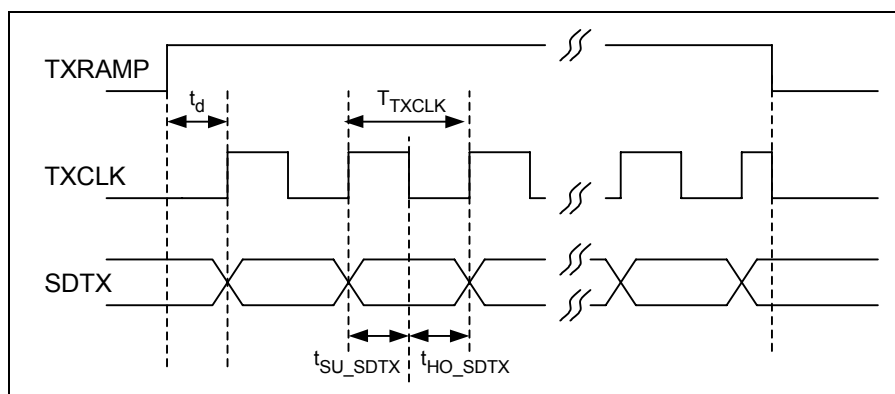


FM/GMSK Modulator block diagram

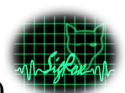
Les data à transmettre sont appliqués via l'interface série TX SSI. 3 broches de l'ASIC *SigFox* sont dédiées à cette interface : TXRAMP, SDTX and TXCLK.

- TXRAMP trame la totalité de la transmission.
- SDTX est l'entrée data série. Elle est transcodée différenciellement en interne.
- TXCLK est une sortie de l'ASIC *SigFox* fournissant l'horloge data. Elle est dérivée de  $F_{V_{MB}}$ .

Le front montant de TXRAMP valide le modulateur. La data pompe devra fournir les data à SDTX au front montant de TXCLK. L'ASIC *SigFox* échantillonne la data TX sur la ligne SDTX au front descendant de TXCLK tant que TXRAMP est au niveau haut. TXCLK présente un rapport cyclique de 50%, et une période  $T_{TXCLK}$  de 3.692 $\mu$ s (1/270.833 kHz). Les chronogrammes de l'interface TXSSI sont présentés ci-dessous.



TX SSI interface timing diagram



## 3.7 Présentation rapide du Dual Port

Le rôle du système “ Dual Port ” est d’éviter la contrainte de passer toute la modulation GMSK (opérée numériquement dans le modulateur sigma-delta) par la bande de boucle, avec la conséquence d’être obligé de pousser trop loin la fréquence de coupure de cette boucle. En effet, un minimum de 600 KHz est nécessaire pour passer sagement d’un point de vue uniformité du temps de propagation de groupe, une GMSK de type GSM (270.833 Kbit/s). Une telle ouverture de la bande de boucle, en l’état actuel de la technique de synthèse fractionnaire, ne permet pas d’obtenir un bruit de phase raisonnable.

Comme déjà exposé, le circuit Dual Port fournit une version analogique de MODOUT sur la broche DP de l’ASIC **SigFox**. Ainsi, MODOUT est appliqué à la fois au diviseur fractionnaire de TXMB et à la fois au convertisseur D/A du circuit Dual Port.

Il a été compris à ce stade que la modulation par le système fracN correspond au chemin basse fréquence, ou si l’on préfère, à la modulation appliquée au VCO à travers la fonction de transfert de la boucle.

La modulation par le circuit Dual Port correspond au chemin haute fréquence du spectre de modulation, qui ne pourrait être transmis par la boucle sans distorsion notable.

La limite entre le spectre basse fréquence et le spectre haute fréquence est naturellement déterminée par le comportement de la boucle lui-même, quelque soit ce comportement est sa variation dans le temps ou en fabrication.

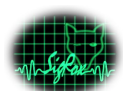
Afin d’égaliser les deux chemins, un délai programmable est ajouté au chemin basse fréquence et un gain programmable est ajouté sur le chemin haute fréquence. Ces deux programmations sont faites de façon numérique via le bus SPI.

Il faut noter ici qu’une fois ces réglages de gain et délai, dépendants surtout de  $K_v$ , ont été effectués, une auto-compensation parfaite entre la partie basse et haute fréquence se met en place, quelque soit les variations de filtre de boucle ou de charge pump. Ceci est un avantage déterminant de la technique Dual-Port sur les techniques de pré-distorsions.

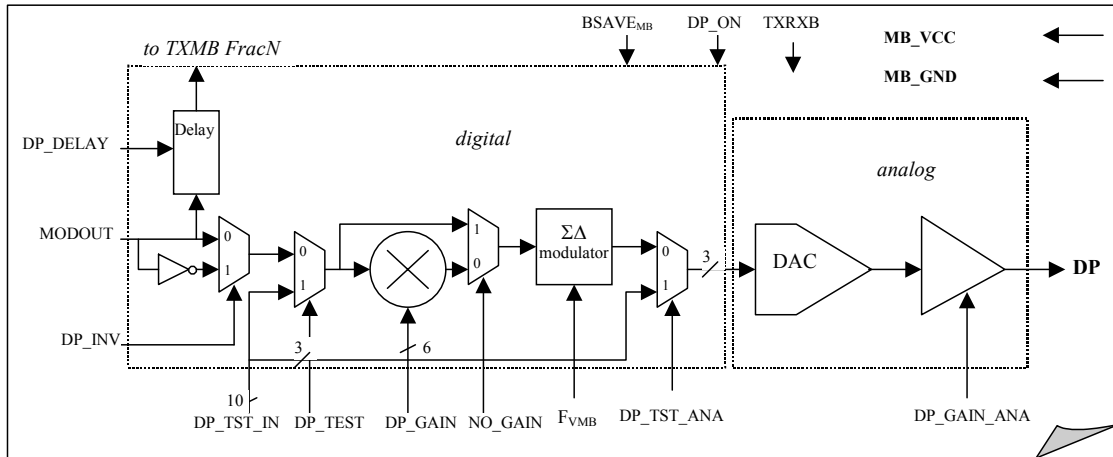
Le signal analogique DP est couplé au VCO comme montré ci-dessous

	<p><u>Procédure de calcul Dual Port :</u></p> <ol style="list-style-type: none"> <li>1. <math>R_{dp2} = 10 \cdot R_1 = 3K</math></li> <li>2. <math>C_{dp} = C_1/10 = 500pF</math></li> <li>3. Choisir une valeur de DPGAIN qui conduise à un grand swing de tension de <math>V_{DPout-pp}</math></li> <li>4. basé sur ce swing de tension, calculer l’atténuation requise :             <math display="block">A = \frac{1}{2} \cdot \frac{K_{vco} \cdot V_{dpout-pp}}{67.7KHz}</math> </li> <li>5. <math>R_{dp1} = \frac{R_1 \cdot R_{dp2}}{R_1 + R_{dp2}} \cdot (A - 1)</math></li> </ol>
--	--

Injection du Dual Port dans le filtre de boucle



Le Dual Port est construit autour d'un circuit analogique et d'un circuit digital dont l'association fournit le signal de modulation analogique en phase avec la modulation basse fréquence imprimée sur les diviseurs.



Bloc-diagramme simplifié de Dual Port

Le DAC est basé sur une architecture sigma-delta.

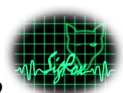
Le signal de sortie DP est centré autour de la mi-tension soit 0.94V (MB\_VCC divisé par 2).

L'amplitude du signal est de ± 500mVp pour la pleine échelle.

Cette amplitude est grande par rapport au besoin final, afin d'augmenter le rapport signal / bruit et afin de limiter le besoin de réjection d'alimentation.

La tension de sortie DP DAC est fonction du code d'entrée *Modout* et de la valeur de *DP\_GAIN* suivant

l'équation: 
$$DP(\text{Modout}, \text{dpgain}) = \frac{MB\_VCC}{2} + \frac{\text{dpgain}}{64} \cdot \frac{\text{Modout}}{1024} \cdot \text{Gain\_ana}$$





## 4 ASIC *SigFox* : Exemples de domaines d'applications / Application commerciale spécifique, le module "**SynFox**".

### ▪ Introduction

Comme mentionné au chapitre 3, l'ASIC *SigFox* permet une grande variété d'applications :

- Téléphones cellulaires GSM, W-CDMA & EDGE (2G, 2.75 and 3G)
- Applications générales : Synthétiseurs large bande de 250 MHz à 2 GHz (2.6 GHz sans garanties)
- Global Positioning Systems (GPS)
- Equipements d'infrastructures WLAN
- Equipements Satellite sol
- Equipements radio large bande (0 MHz à 4Ghz), **transceivers SDR**... Avec une précision adéquate pour la **BLU**, ou les **communications digitales de haute précision** nécessitant des CAF fines, par truchement de deux boucles et de la technique hétérodyne.
- Equipements de mesure comme des **générateurs RF bas coût mais haute résolution, Analyseurs de spectre bas coût haute résolution "fully synthesized"**, analyseurs de réseaux ou "**sweepers**" **rapides**... Par truchement de deux boucles et de la technique hétérodyne.
- Systèmes radios à évaison de fréquence rapide.

### 4.1 Exemple 1 : Utilisation potentielle dans un système cellulaire 3G "UMTS" (WCDMA / GSM / EDGE)

Grace à ses capacités intrinsèques, l'ASIC *SigFox* peut être utilisé dans un MODEM 3G de haute qualité, supportant les protocoles W-CDMA et GSM/GPRS/EDGE, par exemple, ou, plus généralement, dans toute sorte de transceivers digitaux modernes, réclamant le difficile compromis "haute résolution / faible bruit de phase / verrouillage rapide".

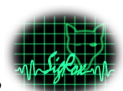
### ▪ Description

Dans cet architecture typique, le chipset présente 2 chemin de réception distincts pour GSM/GPRS/EDGE d'une part et W-CDMA d'autre part. Ainsi les mécanismes de handover dits "compressé" ainsi que "non-compressé" sont supportés.

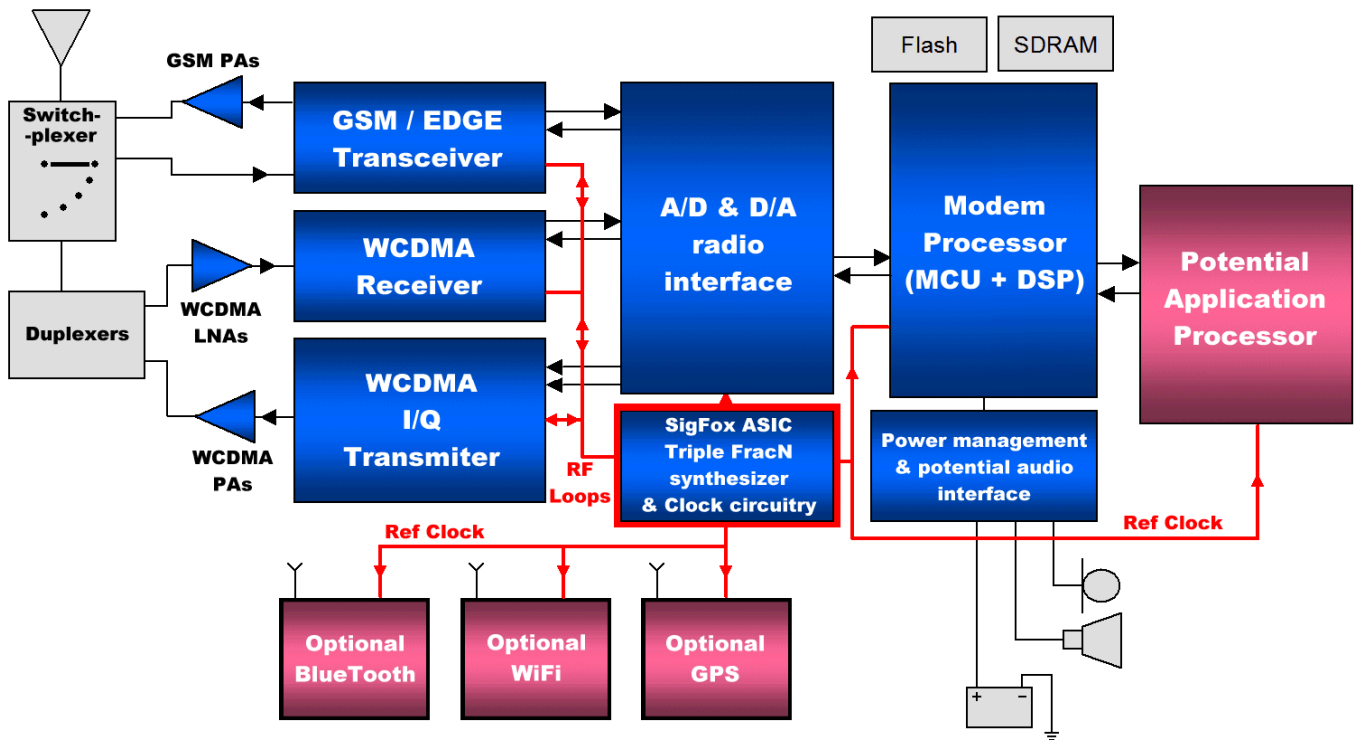
Ces chemins séparés permettent au MODEM de surveiller le réseau 2G tout en trafiquant simultanément sur le réseau 3G et vice-versa. Les 2 récepteurs fournissent alors au DSP leurs bandes de bases respectives à travers 2 interfaces rapides classiques.

Les récepteurs et modulateurs utiliseront avantageusement l'architecture à conversion directe, maintenant devenue classique.

L'interface de conversion analogique / digitale et digitale / analogique, utilisera un circuit dédié, comme on peut en trouver sur le marché pour les standards concernés. Les circuits de filtrage canal et divers "pulse-shaping" pourront être intégrés dans cette interface, ou dans les circuits RF.



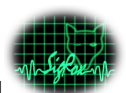
# High resolution UHF Synthesizer



On peut voir sur le diagramme ci-dessus, que l'ASIC *SigFox* assume aisément le rôle de circuit central d'un MODEM radio 3G.

L'ASIC *SigFox* a toutes les qualités nécessaires pour assurer les fonctions PLL et distribution d'horloge de référence faible bruit, d'un système aussi complexe. La fréquence de référence peut être fournie par un TCXO 2 ppm ou un simple quartz de moindre précision (utilisant l'oscillateur interne), à 15 ppm par exemple, si le traitement de signal WCDMA et son logiciel MODEM embarqué peut gérer une telle précision pendant le démarrage à froid sans référence réseau acquise au préalable.

Il est important de noter que l'ASIC dispose de toutes les sorties d'horloges nécessaires pour le modem, mais également pour un potentiel micro-processeur d'application (Smart phone, PDA, système industriel embarqué), ou pour différents transmetteurs radio complémentaires, type BlueTooth, WiFi, GPS, et ceci avec le bruit de phase adéquate.



## 4.2 “Synfox”, une des principales applications OEM de SigFox : Un synthétiseur large bande 800 MHz à 2 GHz faible bruit au pas minimum de 1 Hz, associé à une boucle auxiliaire haute résolution, pour usage hétérodyne.

### ▪ Présentation

Cette application a été développée par **SigFox** et commercialisée sous le nom de “**SynFox**”, un synthétiseur générique N-fractionnaire large bande à haute résolution, associé à une boucle auxiliaire bande étroite également N-fractionnaire et haute résolution. L’ensemble a été conçu afin qu’une large variété d’applications finales puissent être envisagées par les clients, sans modification du plan de fréquence standard.

Pour des besoins très spécifiques, le module peut éventuellement être livré avec des plans de fréquence différents. Dans ce cas, merci de contacter **SigFox**.

Cette application commerciale **SigFox** met à profit trois (3) caractéristiques principales de l’ASIC.

### ➤ PLL auxiliaire avec modulation FM / GMSK / Dual port.

Un VCO Colpitts optimisé entre 950 et 1050 MHz est construit sur le module. La porteuse RF de ce synthétiseur, peut être modulée par un signal FM ou GMSK mis en forme par l’ASIC lui-même. La bande d’opération est donc ici autour de 1GHz +/- 50 MHz, mais n’importe quelle autre domaine de fréquence peut être choisi.

Le filtre de boucle est ici passif. Il inclut le réseau spécifique permettant le raccordement parfait de la modulation Dual avec un temps de propagation de group parfaitement uniforme (Le spectre haut de la modulation est appliqué en dehors de la bande de boucle, alors que la portion basse du spectre est construite de manière digitale et parfaitement robuste à l’intérieur de la boucle. (Voir les détails dans la section de document concernée)

La sortie est tamponnée par un étage RF approprié baissant l’impédance de sortie est élevant le niveau au dessus de 7 dBms.

### ➤ PLL large bande.

Le VCO est une conception hautement optimisée par **SigFox**, basé sur des éléments discrets.

La bande couverte est comprise entre 800 MHz et 2 GHz. Malgré cette large couverture, la sensibilité d’accord (bien connue comme “Kv” dans la littérature) a été maintenue relativement basse, permettant d’obtenir un bruit de phase intrinsèque relativement bas, grâce à l’utilisation d’un concept original de “filtre de boucle / translateur” amenant la dynamique d’accord jusqu’à 30 Volts.

En effet, le filtre de boucle est actif, utilisant un ampli opérationnel haute tension très faible bruit, alimenté par un multiplicateur de tension faible bruit intégré au module.

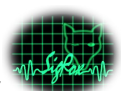
La topologie choisie permet : le filtrage passe-bas, en même temps que l’élévation en tension de la fonction charge pump de l’ASIC (limitée à une dynamique de 5 Volts).

Deux tampons RF sont utilisés. L’un permet un contrôle large bande de l’impédance de retour vers l’ASIC. Le second baisse l’impédance de sortie large bande, et amène le niveau à une valeur au dessus de 8 dBm sur toute la bande, pour la meilleure adéquation avec des mélangeurs haut niveaux.

Grace à la technologie N-Fractionnaire, cette PLL a un pas minimum de 1 Hz, en même temps qu’un excellent bruit de phase, et un verrouillage assez rapide autour de la centaine de  $\mu$ s.

L’ASIC inclue un mode test, permettant de forcer la butée haute ou basse en fréquence, de choisir le nombre d’accumulateurs ou le mode de consommation (ce dernier ayant néanmoins pour effet de réduire la fréquence maximale vers 2 ou 2.2 GHz).

Enfin, il faut rappeler que la technologie N-Fractionnaire permet une infinité de combinaisons de balayage en fréquence, la limite restant le logiciel utilisé.



➤ **La sortie de référence externe**

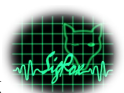
La fréquence du quartz, est évidemment utilisée comme horloge de référence de l'ASIC. Mais elle est également disponible comme référence pour le monde externe. En effet, une des 4 sorties horloge de l'ASIC est rendue disponible sur le module.

Cette horloge peut être programmée sur ON ou OFF (haute impédance), en mode sortie analogique ou sortie digitale CMOS.

Le rapport de division de la fréquence Crystal d'origine peut être programmée à 1, 2, 4 or 8.

La sortie est alors filtrée passe-bas afin de réduire le contenu harmonique au maximum.

La sortie XTAL-OUT output peut être utilisée pour des dispositifs externes réclamant un faible bruit de phase. Ceci dit, une attention particulière doit être portée sur la capacité de "drive" de cette broche.



## High resolution UHF Synthesizer

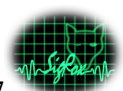
- **SynFox** : performances du module

### Wide band Synthesizer

Parameter	Unit	Value	Comment
Minimum frequency	MHz	800	
Maximum frequency	MHz	2000	
Minimum frequency step	Hz	1.16	1 Hz software interpolation All other kind of steps configurable by Software
Reference frequency	MHz	26	
Output power	dBm	10	
Phase Noise	dB/ Hz	Typ : -105 dBc / Hz	Within the loop bandwidth
Discrete Spurious	dBc	-80	$\Delta F > 600$ KHz
K <sub>vco</sub>	MHz / V	40 to 60	
Loop filter bandwidth	KHz	200	
Settling time	$\mu$ s	500 typ	10 MHz step
Tests mode	-	Force Up, Down Accumulator number Current reduction Decade tuning	Min or Max frequency. 0, 1, 2 or 3 accumulators. Current / Max. freq. Reduction. Possibility to tune 'decade' frequency.

### Auxiliary Synthesizer with FM / GMSK / Dual Port modulation

Parameter	Unit	Value	Comment
Minimum frequency	MHz	950	
Maximum frequency	MHz	1050	
Minimum frequency step	Hz	1.55	1 Hz software interpolation All other kind of steps configurable by Software
Reference frequency	MHz	26	
Output power	dBm	8	
Phase Noise	dB/ Hz	Typ : -105 dBc / Hz	Within the loop bandwidth
Discrete Spurious	dBc	-79	$\Delta F > 600$ KHz
Loop filter bandwidth	KHz	150	
Settling time	$\mu$ s	100 max	100 MHz step
Total phase Error with internal GMSK	deg	1.2 max	Can also easily be modulated through the crystal within a 0 to 100 KHz BW
Modulation mask @ 400 KHz for typical GSM modulation (GMSK)	dBc	-70 dBc N/A N/A	With the Dual Port Without the Dual Port Dual Port alone
PLL Tests mode	-	Modulation Accumulator number Charge-pump Current Current reduction Notch	Random, '0101', or High-Z 0, 1, 2 or 3 accumulators. From 0 to 600 $\mu$ A Current / Max. Freq. Reduction. Phase noise reduction @ 400 KHz
Dual Port test	-	DP-Gain, DP-Delay and DP-Gain-ana	For Dual Port optimization

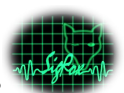


## High resolution UHF Synthesizer

---

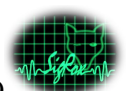
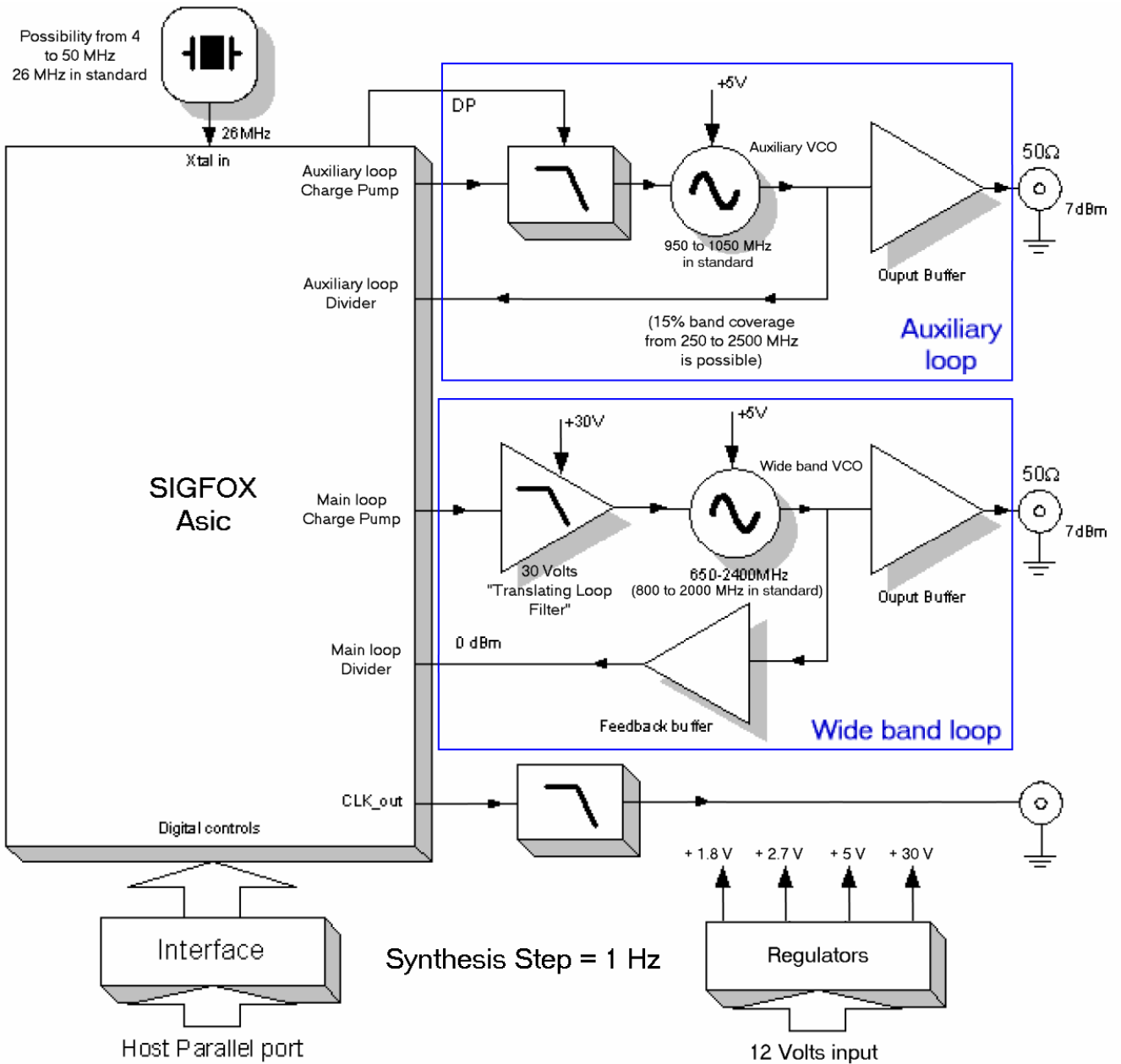
### Output CLOCKS

Parameter	Unit	Value	Comment
Clocks number	-	1 from 4 on the IC	
Mode	-	ON, OFF (high-Z) Analog or Digital CMOS	
Division ratio	-	1, 2, 4 or 8	
Clock output voltage	V <sub>pp</sub>	1 Logic_VCC	Analog mode (sinewave) CMOS mode (square)
Clock output mean value	V	Logic_VCC / 2	0.9 V if Logic_VCC = 1.8V
Filtering	-	-	Internal lowpass



# High resolution UHF Synthesizer

- Block diagram



- **Analyse technique des blocs**

- **Régulations**

Trois régulateurs de tensions (LDO) sont utilisés pour fournir les trois tensions requises. Le +5V est nécessaire au charge-pump, le +2.7V est utilisé dans les blocs analogiques de l'ASIC et le +1.8 est dédié aux sections digitales du circuit.

L'ensemble de ces 3 tensions sont obtenues à partir du +12 V général, présent sur le connecteur J1. Ce +12 V peut provenir d'une alimentation de laboratoire, d'un adaptateur mural, etc...

Les régulations de tensions sont assurées par deux LP2985 et un 78L05 pour le 5 Volts.

Trois gros condensateurs (C70, C71 & C72) sont présents pour le filtrage basse fréquence et la stabilité des régulations. Les condensateurs de petites valeurs (dans le domaine des pF – COG) sont utilisés pour apporter un découplage RF sur ces alimentations. Ces derniers sont disposés au plus près des blocs RF concernés. Les condensateurs dans le domaine des nF (– X7R) sont utiles pour les découplages HF intermédiaires (KHz / MHz). Leurs positions sont moins critiques, en tout pour la plupart d'entre eux.

- **Le tripleur de tension**

Une pompe de charge à 2 étages est réalisée autour de U6 (TLC555CD) qui joue le rôle d'oscillateur / hacheur.

La tension aux bornes de C76, la sortie du tripleur, est quasiment de 3 fois la tension d'entrée, le +12 V général. Un filtre du premier ordre filtre quasiment la totalité des résidus de fréquence de hachage. Notez ici, que cette tension de 30 Volts, n'est utilisée que pour alimenter U2 (MC33178). La consommation de ce composant n'est que de quelques mA. Rappelons enfin que le but de U2 est d'augmenter la dynamique d'accord en tension du VCO, et d'ainsi réduire Kv et donc le bruit de phase final de ce VCO, pour une couverture donnée.





## ➤ Oscillateur de référence

Quatre broches de l'ASIC (TCXO-EN, XTAL-IN, XTAL-OUT et XTAL-GND) sont disponibles pour obtenir la référence du système. Le module **SigFox** a une provision pour 3 types de moyens de référence.

Un simple OXO peut être utilisé. Connecter le quartz entre XTAL-IN et GND. Il faut placer la charge capacitive correcte (dépendant des caractéristiques du Quartz données par son fabricant) entre XTAL-IN et XTAL-OUT. La broche TCXO-EN n'a pas d'influence sur l'OXO et peut rester non connectée.

Un TCXO (ou VC-TCXO) peut être connecté sur l'entrée XTAL-IN. XTAL-OUT et C17 / ne sont pas utilisés dans ce cas. TCXO-EN est directement connecté au TXCO, et permettra son activation.

Une référence de fréquence externe (Générateur RF, équipement RF, PLL externe, générateur de fonction, ...) peut également être utilisée. Faire en sorte qu'aucun OXO ni TCXO ne soit présent sur le module. Le signal de référence doit être injecté sur le point TP6. C16, C17, C18 ne sont pas câblés.

La table suivante résume les différentes solutions :

Solutions	C26	C16	C17	C18	R2	R3	R12	R13	Signal
Crystal (OXO)	nc	470pF	22pF	22pF	c	c	nc	nc	TP6
TCXO	nc	470pF	22pF	nc	nc	nc	c	c	TP6
External ref.	470pF	nc	nc	nc	nc	nc	nc	nc	TP6

Dans le cas de référence externe les performances requises sont :

Fréquence : 26 MHz pour l'application Hardware & Software **SigFox** standard. 4 à 50 MHz possible.

Niveau (@ XTAL-IN) : entre 200 et 700mV RMS. Le bruit de phase doit être le meilleur possible.

Pour le cas OXO, le tableau suivant donne des caractéristiques typiques d'un quartz 26 MHz pour référence. Ces valeurs sont utilisées pour le calcul des composants.

Parameter	Condition	min	typ	max	unit
Motional Capacitance			10		fF
Motional Inductance			3.75		mH
Parallel Capacitance				2	pF
Series Resistance	Operating Startup		30	40 100	$\Omega$ $\Omega$
Load capacitance				10	pF

Les 2 condensateurs externes C17 et C18 sont alors calculés en utilisant les formules du modèle d'impédance

négative de l'oscillateur Colpitts  $R_{eq} = \frac{-g_m}{C1 \cdot C2 \cdot \omega^2}$

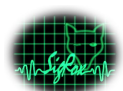
La résistance équivalente d'entrée Req doit compenser la résistance série intrinsèque du Crystal, Rs. Ceci

conduit à  $C1 = C2 \leq \frac{1}{\omega} \sqrt{\frac{g_m}{R_s}}$  Une autre contrainte est alors que la capacité de charge Cl est spécifiée par le

fabricant pour ajuster la fréquence de centrage du quartz. On prend alors  $C1 = C2 = 2 \cdot Cl$

Pour  $g_m = 4mA/V$ , avec les valeurs typiques du tableau, on pourra choisir :  $C1 = C2 = 22pF$

Pour tout support d'application, merci de contacter **SigFox**.



## ➤ Interface PC

Sur le module *SynFox*, le lien de l'ASIC au processeur host ou PC est assuré via le port parallèle. 6 signaux sont utilisés. 4 sont dédiés au bus SPI de l'ASIC (clock, data, et 2 "chip selects"), 2 sont dédiés aux configurations asynchrones (Reset et Standby).

L'interface électrique est composée d'un front-end de filtrage et d'étages buffers.

Le front-end de filtrage (passe-bas premier ordre) permet d'éliminer les bruits venant du PC ou du  $\mu$ -contrôleur. Les étages buffers procurent un re-calibrage des signaux et une translation de tension du 5V (PC ou  $\mu$ -contrôleur) aux 1.8V (ASIC). Comme le SPI de l'ASIC n'opère qu'en réception, aucun chemin de retour vers le host (PC ou  $\mu$ -contrôleur) n'est implémenté.

Dans le cas du PC, et d'un point de vue logiciel, le port parallèle classique est mis en œuvre. En pratique, les accès écriture sont envoyés au LPT port associé. Le protocole SPI est reproduit en générant des séries accès écriture. Une attention particulière doit être consacrée à éviter une programmation pouvant créer des "glitches" accidentels, l'ASIC étant conçu pour communiquer à haute vitesse.

## ➤ Synthétiseur auxiliaire avec capacité GMSK

### ○ VCO

Le VCO est un oscillateur Colpitts classique. Il est construit autour de Q3 (BFR92, ou MRF947 ou équivalent). La fréquence est déterminée par D8, L4, C31 et les 2 "capacités Colpitts" C26, C25 présentant un rapport d'environ 3 l'un par rapport à l'autre.

### ○ Filtre de boucle

Le filtre typique d'une boucle PLL d'ordre 3, est composé de C38, R32, C37, R31 et C36.

La bande de boucle a été positionnée autour de 150 KHz. C'est le meilleur compromis entre le plancher de bruit de synthèse et le bruit en  $1/f$  du VCO suivant des principes largement publiés, comme dans les réf 6, réf 7 ou réf 10 par exemple.

Un filtre RC additionnel R30 / C35 aide au filtrage haute fréquence des parasites, comme la fréquence de comparaison (26 MHz) de même que les remontés de bruits Frac-N Sigma-Delta. Mais sa fréquence de coupure a été positionnée suffisamment loin des pôles et zéro de la boucle pour éviter toute instabilité de boucle accidentelle.

Le réseau C67 / R41 / C63 / R40 permet une application parfaite de la partie haute du spectre d'une éventuelle modulation GMSK, selon les explications de la section 3.7 dans ce document.

### ○ Buffer de sortie

Le VCO est suivi par un buffer construit autour de Q4 (BFR92, ou MRF947 ou équivalent). Il élève le niveau de sortie à 8 dBm.

### ○ Circuit de feedback

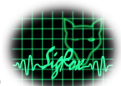
Le signal de feedback est tout simplement prélevé à la sortie du buffer Q4 à travers une résistance de 1K Ohms et une capacité de 1nF en série.

## ➤ Synthétiseur large bande

### ○ VCO

Le VCO large bande est une variation du "native PI filter oscillator" comme on peut le voir sous d'autres variations, dans certaines références (réf 3, réf 6).

Le transistor Q1 utilisé ici est un BFP620, de fréquence de transition  $F_t$  certes élevée vis-à-vis du bruit en  $1/f$ , mais permettant la large couverture avec une complexité moindre (capacités parasites faibles), il est suivi d'un autre BFP620, Q2, opérant en tant que buffer. Le couplage entre Q1 et Q2



est fait à travers un transformateur imprimé longuement optimisé. En effet, la quantité d'énergie RF prélevée sur le VCO pour piloter les buffers, et ceci sur plus d'une octave, est un compromis difficile entre la puissance de sortie, le rapport signal / bruit, le comportement interne et la stabilité générale du VCO. Un couplage lâche conduit à une faible puissance et un rapport signal / bruit moins bon, là où un couplage trop intime conduit à un excès d'influence sur le VCO, préjudiciable au pulling et au comportement global du VCO, et ainsi au bruit de phase comme expliqué dans la littérature (réf 2, 5, 6, 7, 8 ou 10).

L'oscillateur et son séparateur sont alimentés sous 5 Volts.

La décision qui a été prise a été d'utiliser des diodes varicap haute tension BB215 dans la conception (diodes D1 à D4, caractérisées à 30 Volts par le fabricant), afin de réduire le gain Kv en tension du VCO autant que possible, pour la meilleure performance en bruit de phase.

Pour finir, l'utilisation de 4 diodes, plutôt que 1, 2, ou 3 au maximum comme vu dans la littérature, a l'avantage d'améliorer le Q en charge du circuit oscillant, et de maintenir le niveau d'énergie relativement constant sur de grandes gammes de fréquences.

### ○ Filtre de boucle

Les diodes haute tension nécessitent un translateur de tension dans la boucle car le charge-pump de l'ASIC *SigFox* est limité à une dynamique de 5 Volts. C'est le rôle de l'amplificateur opérationnel haute tension MC33178, U2A. Cet amplificateur a été choisi avec beaucoup d'attention, particulièrement concernant la performance en bruit, afin d'éviter toute dégradation de bruit de phase final.

Il est alimenté par la sortie du tripleur de tension construit autour de U6 (TLC555CD).

De grandes précautions ont été prises sur le filtrage et le découplage de l'ensemble Tripleur / Translateur / Charge-Pump / VCO / Buffer. Ceci est d'autant plus important du fait de Kv's élevés et de la couverture large en fréquence.

Finalement, la bande de boucle moyenne, déterminée par les composants du filtre de boucle actif R16, R17, R18, R44, C19 et C21, a été positionnée autour de 200 KHz. C'est le meilleur compromis entre le plancher de bruit de synthèse, et le bruit en 1/f du VCO (réf 6, 7 ou réf 10 par exemple). Cependant, la bande de boucle varie avec Kv entre 250 KHz et 100 KHz. Maintenir Kv et ainsi la bande de boucle constante, aurait demandé des dispositifs assez complexes.

### ○ Buffer de sortie

Un premier atténuateur R22, R26, R39 fait suite à Q2 et procure une isolation supplémentaire du VCO. Après cet atténuateur, le signal RF est divisé en 2 branches. La première va en direction de la sortie RF utile via un buffer final de puissance moyenne Q6 (BFR92, ou MRF947 ou équivalent) alimenté sous 5 Volts.

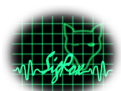
Cet amplificateur, au-delà du fait qu'il procure une isolation supplémentaire du VCO, élève le signal de sortie autour d'un "solide" 10 dBm, compatible avec la plupart des mélangeurs à diode large bande à niveau moyen du marché.

### ○ Feedback

LA deuxième branche retourne vers les diviseurs fractionnaires de l'ASIC *SigFox* à travers un second atténuateur R24, R47, R51 et un buffer basse puissance Q5 (BFR92, ou MRF947 ou équivalent) maintenant un niveau de feedback constant bien contrôlé ainsi qu'une isolation sur une large bande.

## ➤ Notes sur les VCO's, le bruit de phase noise et les améliorations possibles

Le VCO standard *SynFox* a été conçu pour le meilleur compromis performance / coût. La performance typique des VCOs du module *Synfox* est de l'ordre de -110 dBc/Hz à 150 / 200 KHz de part et d'autre de la porteuse. Il est possible de concevoir des VCO's autres que des YIG's dans les UHF hautes, présentant -110 dBc/Hz à 10 / 20 KHz de part et d'autre de la porteuse (-130 dBc/Hz à 100 / 200 KHz de part et d'autre de la porteuse). Quelques directions possibles sont

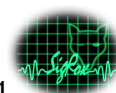


données dans les réf 6, 7, 8, 9, 11 et 12. Une littérature abondante existe. Mais le coût et la surface de circuit en souffriront dans tous les cas.

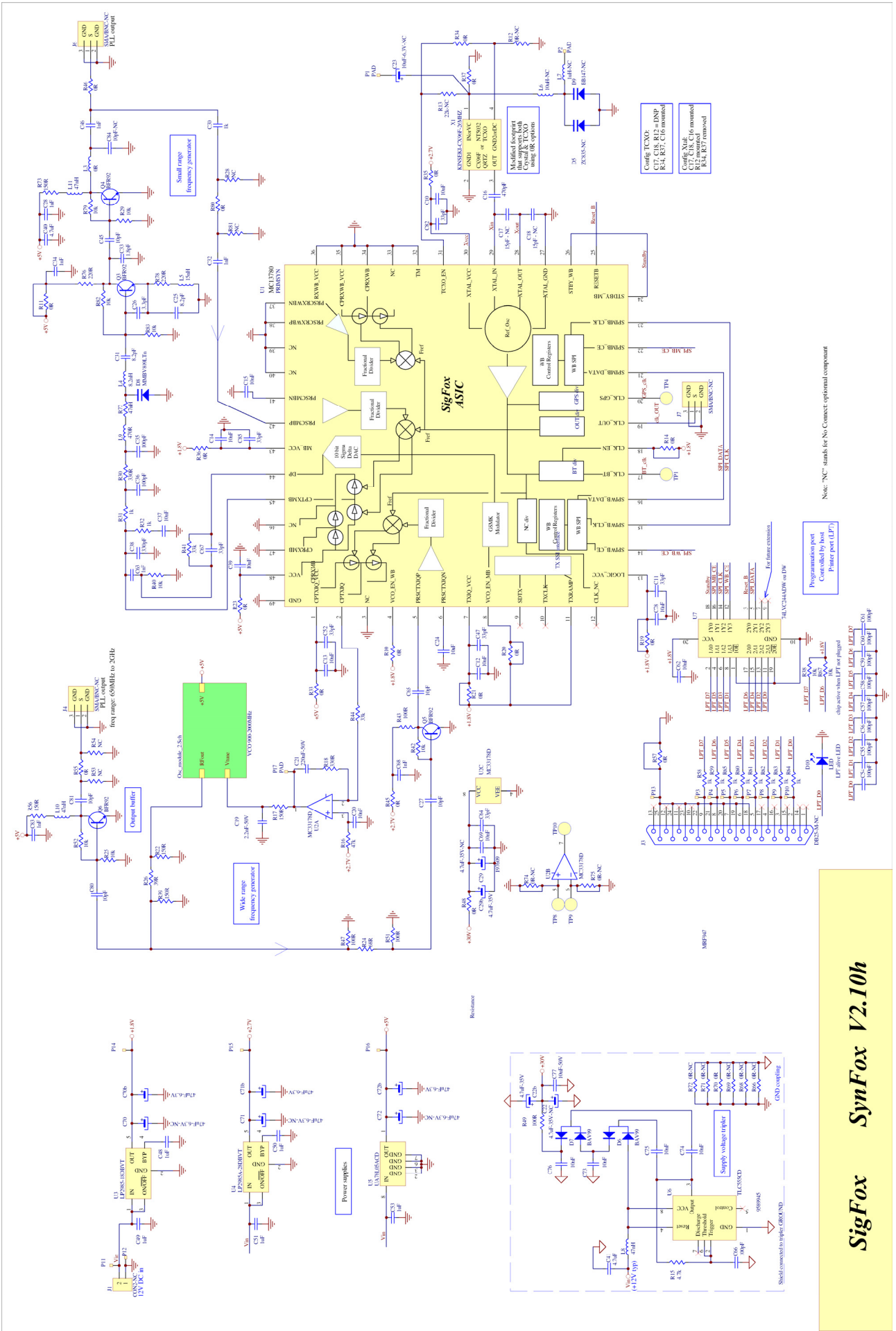
**SigFox** a étudié différents VCO's ultra faible bruit à couvertures étroites ou larges. Veuillez contacter **SigFox** pour un plus ample support si nécessaire.

- **Schémas**

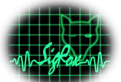
Les pages suivantes présentent les schémas du module **SynFox** dans sa version standard.

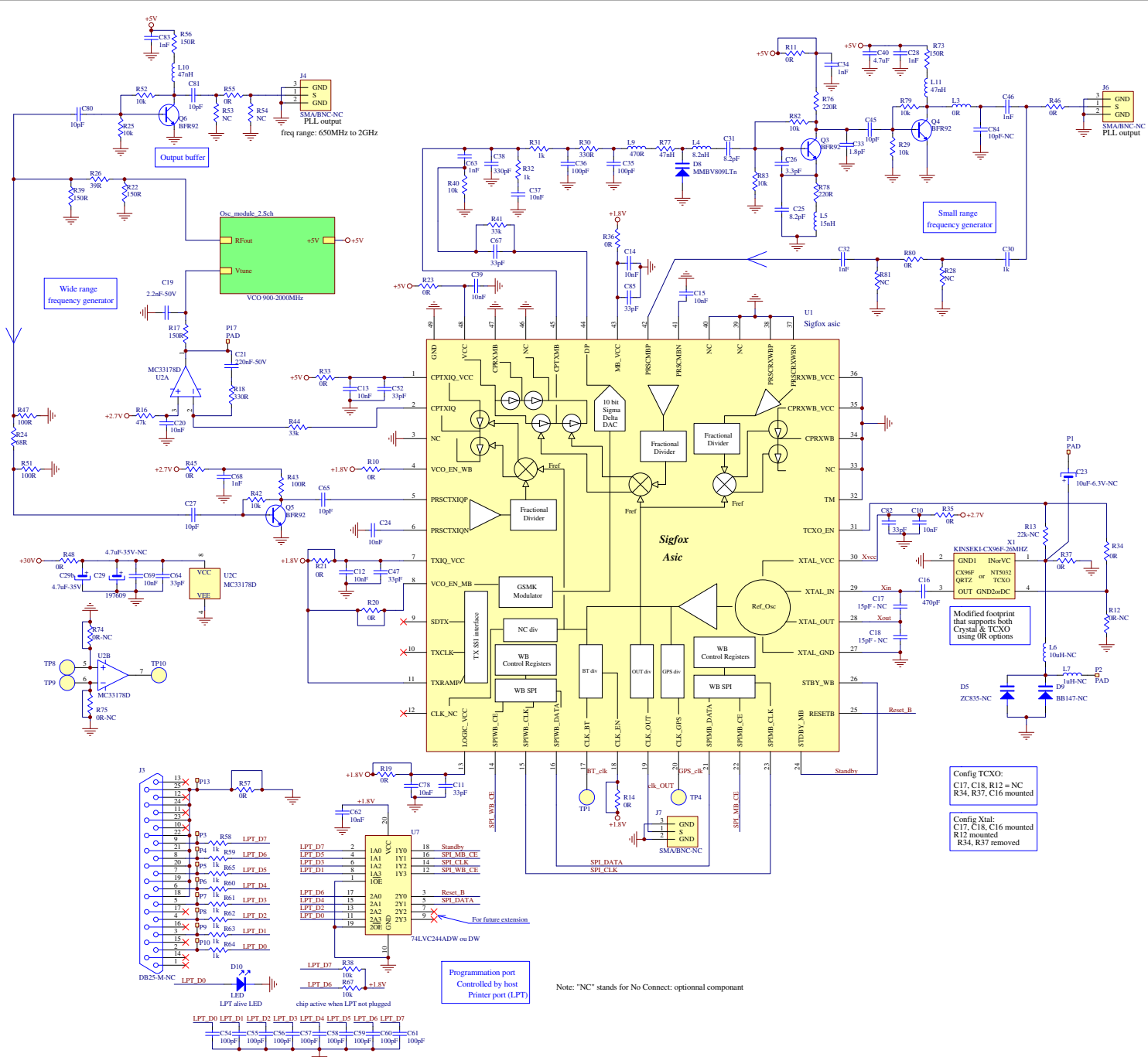
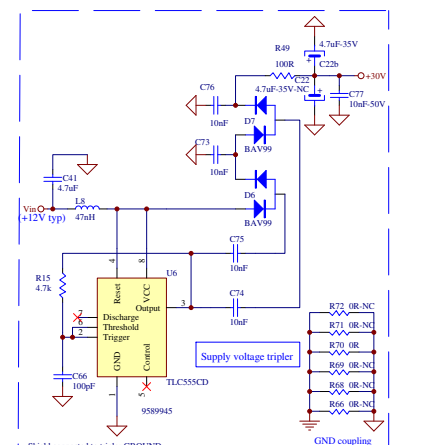
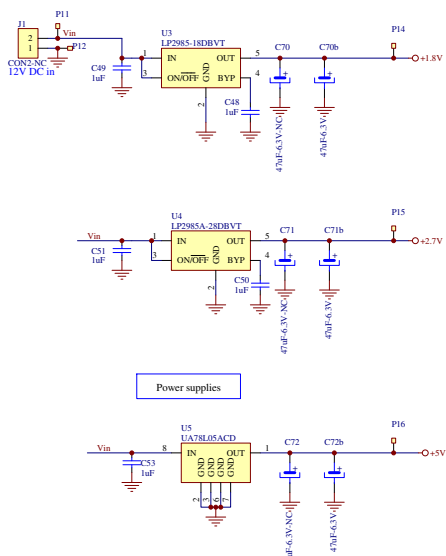


# High resolution UHF Synthesizer



**SigFox**  
SynFox V2.10h

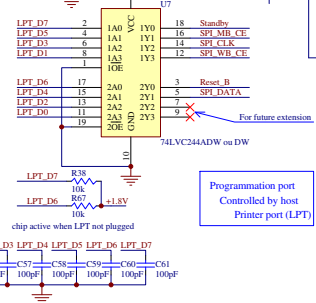




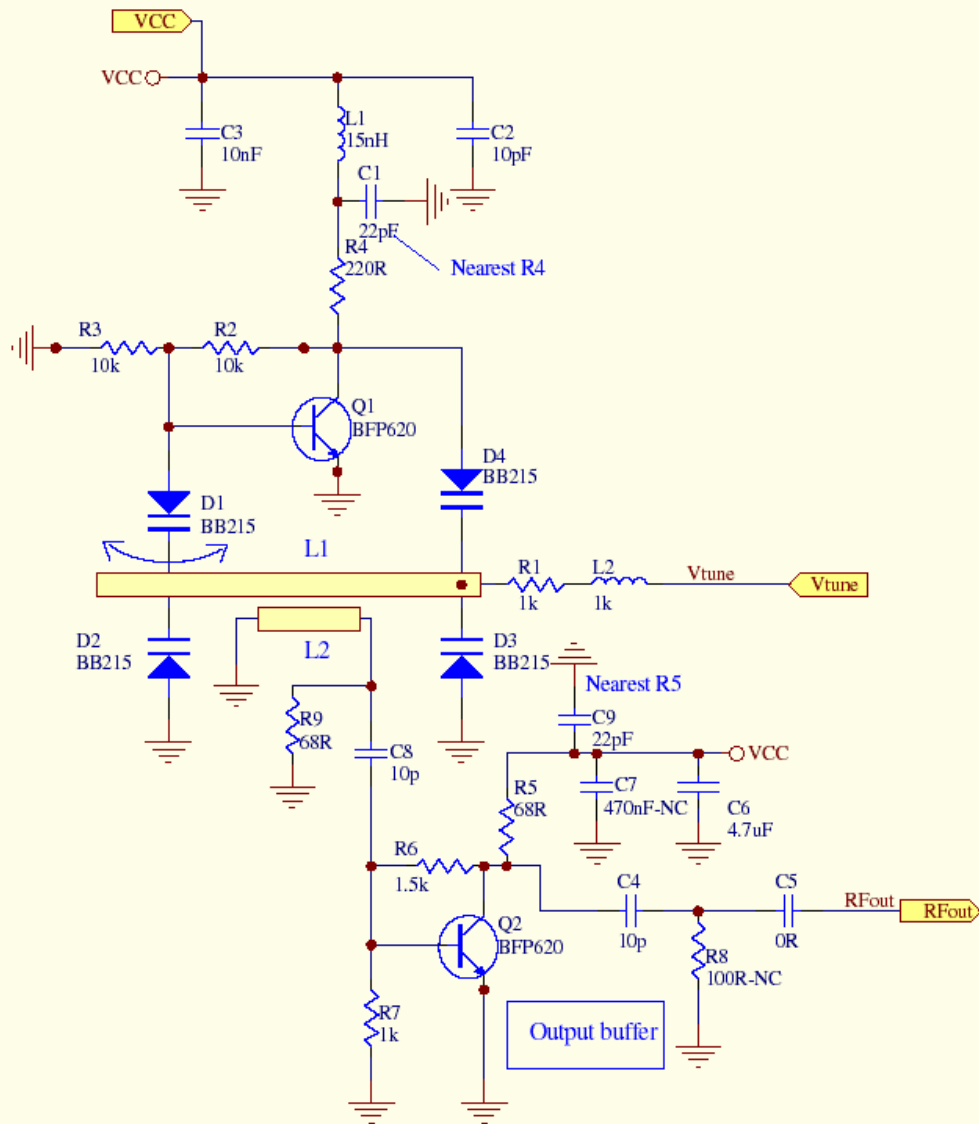
**Sigfox - Syntox V2.10**

**Config TCXO:**  
 C17, C18, R12 = NC  
 R34, R37, C16 mounted

**Config Xtal:**  
 C17, C18, C16 mounted  
 R12 mounted  
 R34, R37 removed



# High resolution UHF Synthesizer



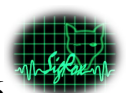
SIGFOX Synfox V 2.10h

Component values are provisional

Title RF VCO 800 to 2000 MHz

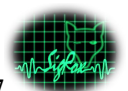
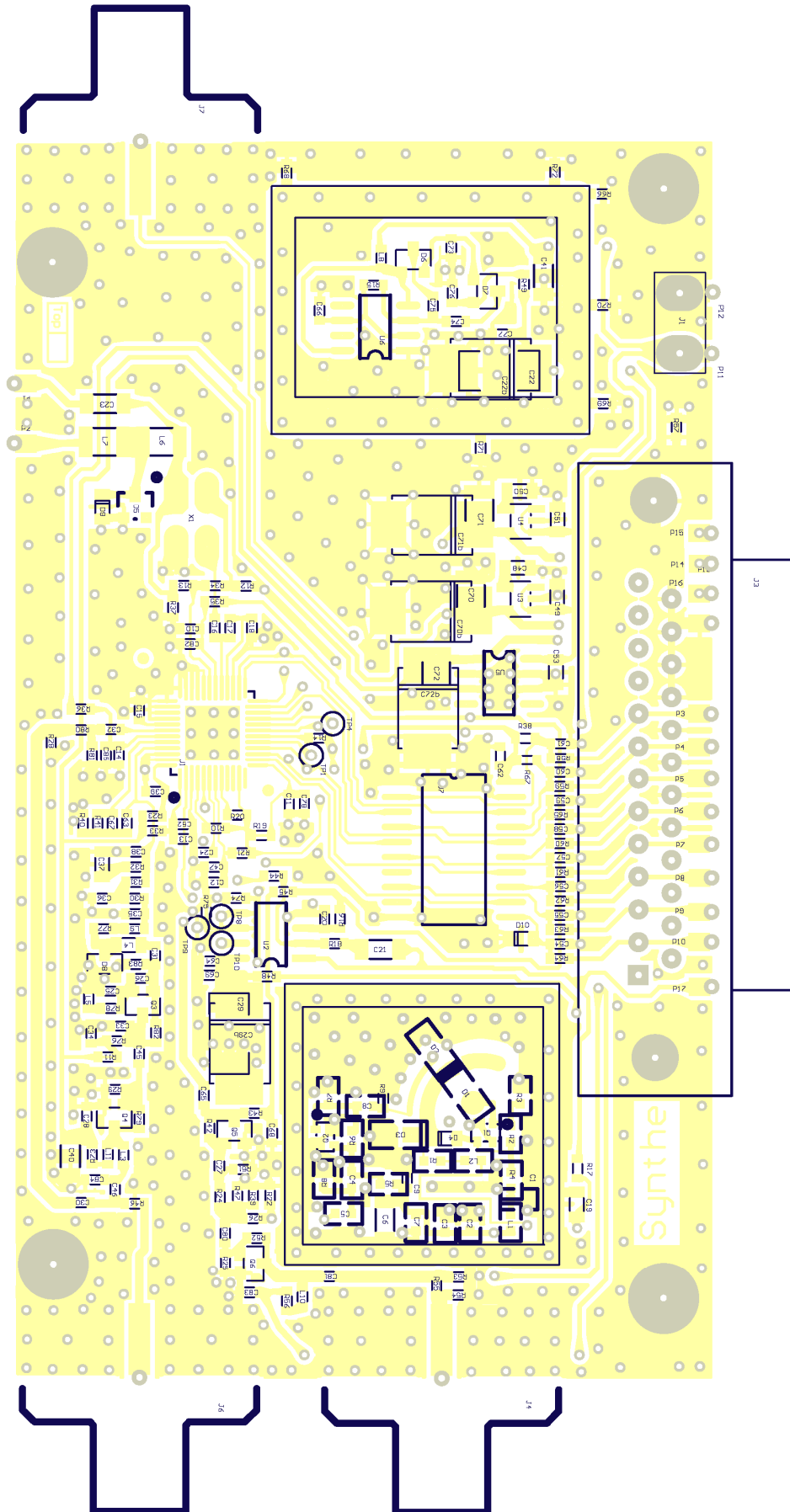
Date: 30 Mars 2007 Author: SIGFOX Revision: V 2.10h

File: Sheet 2 of 2





- Board drawings





## ▪ Contrôle logiciel.

### Connections électriques.

Le logiciel fourni avec code source étant prévu pour un PC, Le concept de base est d'établir les signaux nécessaires à l'ASIC avec le port parallèle. Ces connections matérielles sont :

- Chip RESET signal
- Global STANDBY signal
- 2 SPI interfaces.

Afin de réduire le nombre de connections, les lignes CLK et DATA sont communes à tous les SPI du circuit intégré, une ligne distincte est alors routée par signal CHIP SELECT.

Au final 6 lignes sont nécessaires pour contrôler le module **SynFox** selon cette philosophie. Il est évident que cette philosophie peut largement être exploitée avec un  $\mu$ -contrôleur embarqué dédié ayant 6 GPIO disponibles.

### Aspects EMC.

Afin de réduire le bruit venant du PC host, ou du système de contrôle, un filtre passe-bas est inséré sur chaque ligne. La fréquence de coupure est  $\sim 1$  MHz.

De plus, la circuiterie logique de l'ASIC étant très rapide, un buffer, utilisé en tant que translateur de niveau est inséré entre l'ASIC et l'interface. Si cela n'est pas fait, et au-delà de l'adaptation des niveaux de tension, n'importe quel parasite, ou pic accidentel (couplé par un câble par exemple) peut provoquer facilement une transition erratique de la logique de l'ASIC, et donc un comportement non désiré.

### Logiciel SPI.

Les fonctions très connues INPORT et OUTPORT sont employées pour lire et écrire depuis le port parallèle d'un PC. Etant donné que le bus SPI est en écriture seule, il n'y a pas de moyen de faire un "read back" des valeurs dans les registres.

Pour transférer les instructions vers l'ASIC, quelques fonctions ont été développées. Leur définition est contenue dans le code source (fourni) "Hardware.C".

En résumé, la fonction "SPI\_txrx\_bit" envoie la data au port parallèle. La data est postée sur la ligne SPI\_data et l'horloge valide cette data. La fonction "SPI\_tx16" appelle 16 fois la fonction SPI\_txrx\_bit et envoie une trame complète de 16 bits. La fonction "SPI\_tx32" réalise la même opération pour une trame de 32 bits. L'ASIC est basé sur le MSB en tête.

La fonction "Sendframe" envoie la trame complète à l'ASIC. Une trame est composée de 5 accès. Tout d'abord, le signal Chip select est validé. Puis, un mot de 16 bits, décodé en tant qu'information d'adresse est envoyé (0x1000 adresse le premier registre de l'ASIC). Après quoi, 4 mots de 32bits sont envoyés au circuit. Ils sont décodés en tant que 4 registres par l'ASIC. Le registre #0 est envoyé en premier, puis le registre #3 en dernière position. Enfin, le signal chip select est redescendu.

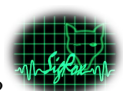
La fonction "Sendframe" appelle les fonctions "SPI\_tx16" et "SPI\_tx\_32".

Au dessus de cela, la fonction "device Update" calcule les valeurs des registres fracN basés sur les valeurs de l'indicateur MMI et appelle la fonction "Sendframe" en la chargeant avec le résultat de ces calculs.

La formule de calcul FracN est :  $F_{out} = F_{ref} \left( N + \frac{Num}{2^{24}} \right)$  où

$F_{out}$ : output _ frequency
$F_{ref}$ : reference _ frequency
$N$ : Numerator _ register
$Num$ : Fractional _ register

Les autres parties du logiciel sont principalement dédiées au contrôle de l'interface. Le logiciel est divisé en 2 parties. L'une contrôle la boucle de synthèse bande étroite modulable en GMSK, l'autre contrôle la boucle de synthèse large bande principale. Ces 2 parties logicielles peuvent être opérées en parallèle et n'auront pas d'interactions entre elles.



## 5 Performances mesurées

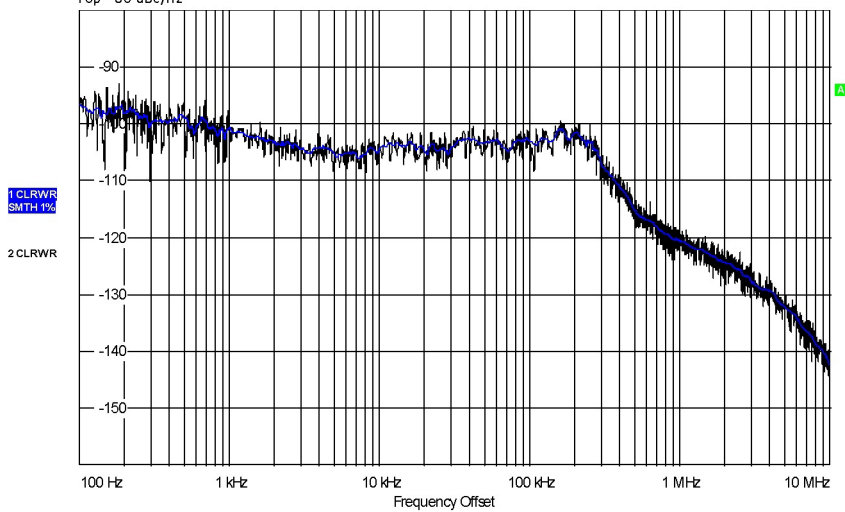
### 5.1 Boucle 1GHz bande étroite

#### 5.1.1 Mesures de bruit de phase :

##### Porteuse à 940MHz

PHASE NOISE				
Settings	Residual Noise		Spot Noise [T1]	
Signal Freq: 940 MHz	Evaluation from 100 Hz to 10 MHz		1 kHz	-100.70 dBc/Hz
Signal Level: 8.8 dBm	Residual PM	0.349 °	10 kHz	-104.53 dBc/Hz
Signal Freq Δ: ...	Residual FM	4.984 kHz	100 kHz	-103.05 dBc/Hz
Signal Level Δ: ...	RMS Jitter	1.0326 ps	1 MHz	-120.70 dBc/Hz

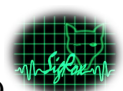
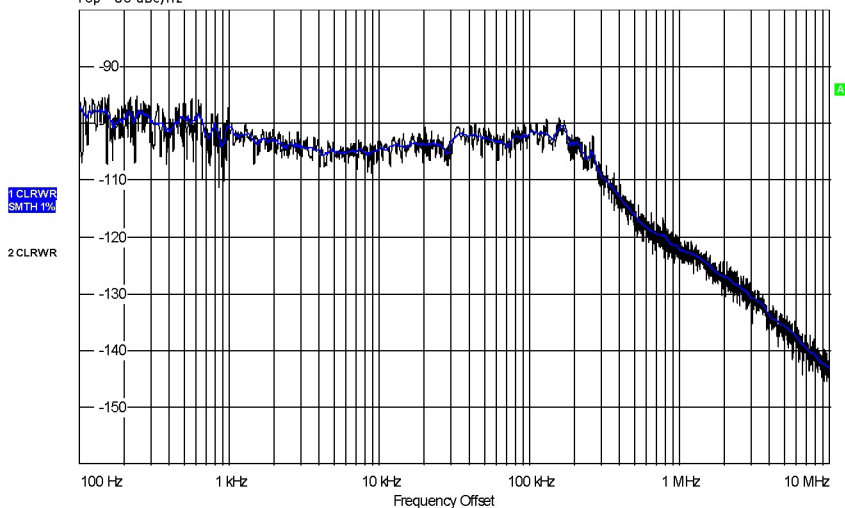
PH Noise  
RF Atten 10 dB  
Top -80 dBc/Hz



##### Porteuse à 1GHz

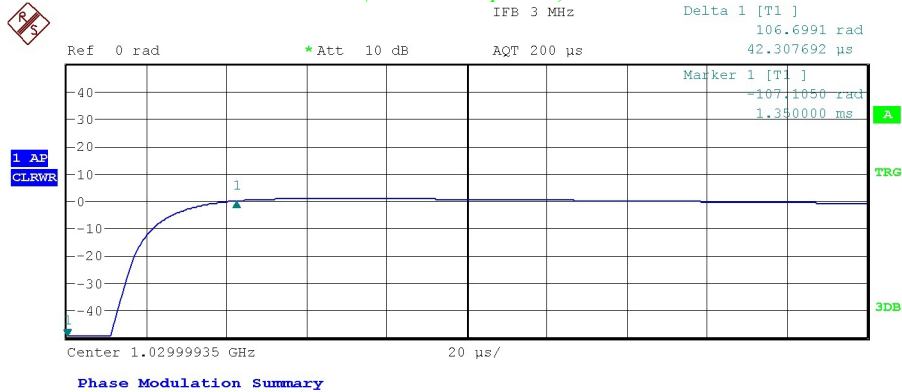
PHASE NOISE				
Settings	Residual Noise		Spot Noise [T1]	
Signal Freq: 1 GHz	Evaluation from 100 Hz to 10 MHz		1 kHz	-100.61 dBc/Hz
Signal Level: 8.8 dBm	Residual PM	0.331 °	10 kHz	-104.55 dBc/Hz
Signal Freq Δ: ...	Residual FM	3.614 kHz	100 kHz	-101.68 dBc/Hz
Signal Level Δ: ...	RMS Jitter	0.9203 ps	1 MHz	-122.26 dBc/Hz

PH Noise  
RF Atten 10 dB  
Top -80 dBc/Hz



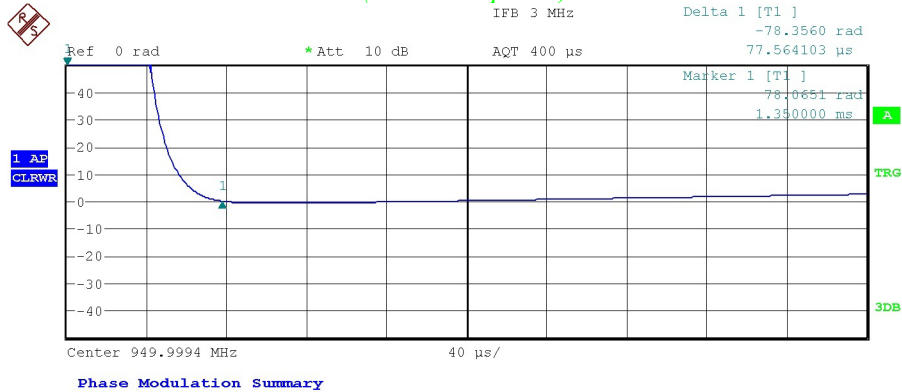
## 5.1.2 Temps de verrouillage :

### Saut de 950MHz à 1030 MHz (critère de phase)



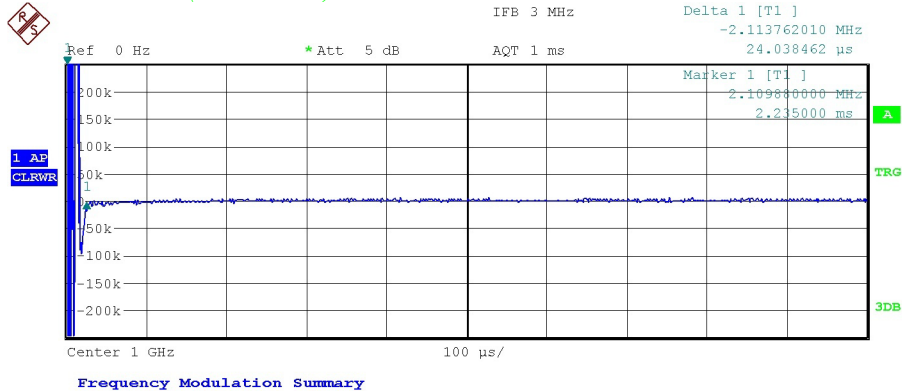
Le temps de verrouillage pour un critère d'erreur de phase à 1° est autour de 40 µs.

### Saut de 1000MHz à 950 MHz (critère de phase)

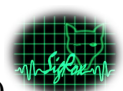


Le temps de verrouillage pour un critère d'erreur de phase à 1° est autour de 77 µs.

### Saut de 1 MHz (critère FM)



Le temps de verrouillage est autour de 24 µs pour un saut de 1 MHz.



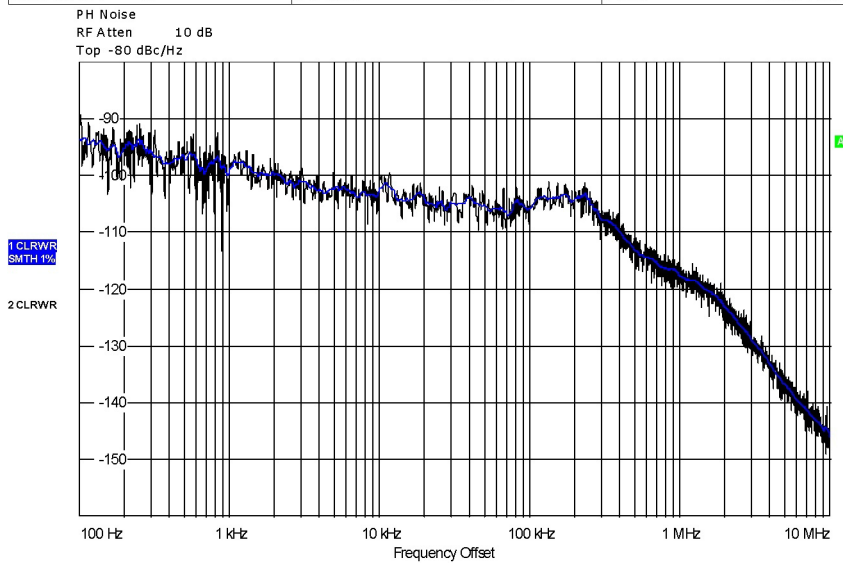
## 5.2 Boucle à large couverture

### 5.2.1 Mesures de bruit de phase :

Les graphes suivants montrent le bruit de phase autour de 1 GHz, 1.28 GHz, 1.6 GHz et 1.9 GHz

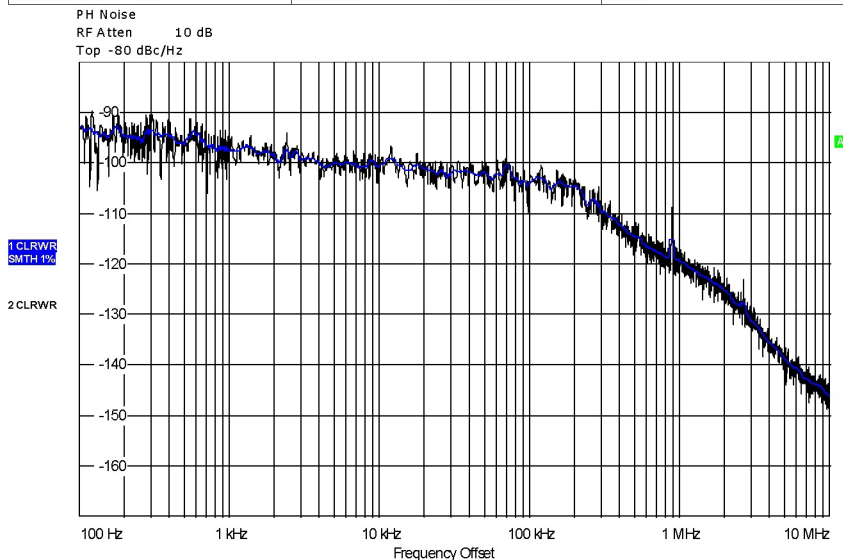
#### Porteuse à 1000MHz

PS	PHASE NOISE			
	Settings	Residual Noise		Spot Noise [T1]
Signal Freq:	1 GHz	Evaluation from 100 Hz to 10 MHz		1 kHz -98.95 dBc/Hz
Signal Level:	8.83 dBm	Residual PM	0.323 °	10 kHz -102.34 dBc/Hz
Signal Freq Δ:	...	Residual FM	4.095 kHz	100 kHz -105.86 dBc/Hz
Signal Level Δ:	...	RMS Jitter	0.8969 ps	1 MHz -117.70 dBc/Hz

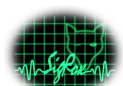


#### Porteuse à 1.28GHz

PS	PHASE NOISE			
	Settings	Residual Noise		Spot Noise [T1]
Signal Freq:	1.28 GHz	Evaluation from 100 Hz to 10 MHz		1 kHz -97.49 dBc/Hz
Signal Level:	8.83 dBm	Residual PM	0.325 °	10 kHz -100.72 dBc/Hz
Signal Freq Δ:	...	Residual FM	3.319 kHz	100 kHz -103.92 dBc/Hz
Signal Level Δ:	...	RMS Jitter	0.7058 ps	1 MHz -119.43 dBc/Hz

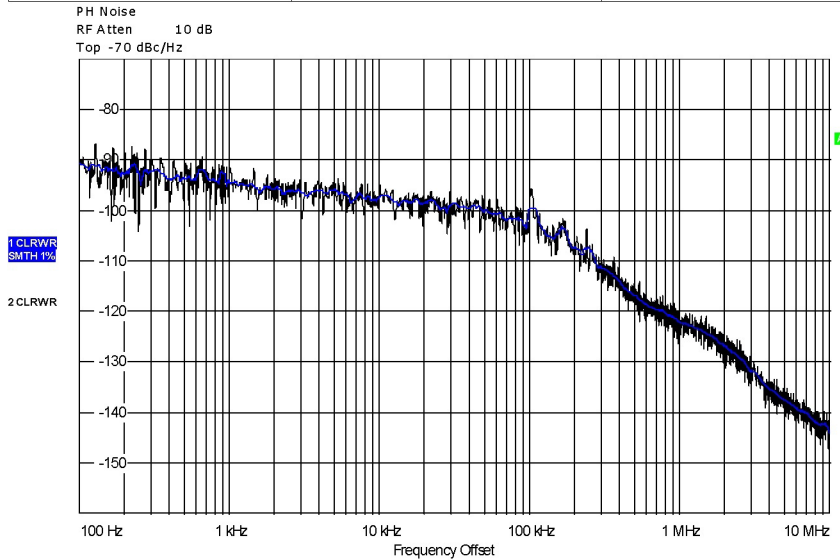


Note: un spur apparaît à ~800 kHz. Il est dû à la fréquence de commutation du tripleur de tension. Ces mesures ont été prises sans blindages. Des améliorations substantielles sont obtenues avec les blindages.



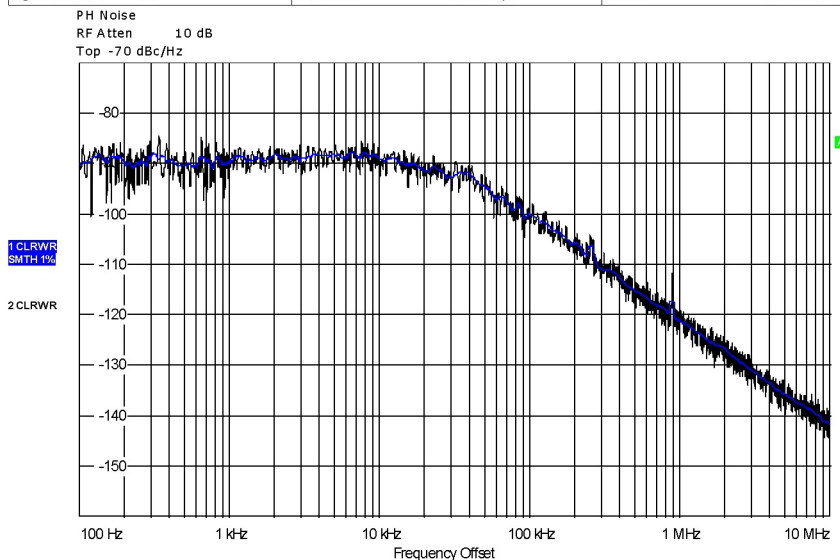
## Porteuse à 1.6GHz

PHASE NOISE				
Settings		Residual Noise		Spot Noise [T1]
Signal Freq:	1.6 GHz	Evaluation from 100 Hz	to 10 MHz	1 kHz -94.29 dBc/Hz
Signal Level:	8.83 dBm	Residual PM	0.354 °	10 kHz -97.36 dBc/Hz
Signal Freq Δ:	...	Residual FM	3.311 kHz	100 kHz -99.72 dBc/Hz
Signal Level Δ:	...	RMS Jitter	0.6143 ps	1 MHz -122.06 dBc/Hz



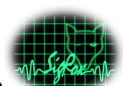
## Porteuse à 1.9 GHz

PHASE NOISE				
Settings		Residual Noise		Spot Noise [T1]
Signal Freq:	1.9 GHz	Evaluation from 100 Hz	to 10 MHz	1 kHz -89.42 dBc/Hz
Signal Level:	8.83 dBm	Residual PM	0.61 °	10 kHz -88.94 dBc/Hz
Signal Freq Δ:	...	Residual FM	3.855 kHz	100 kHz -100.03 dBc/Hz
Signal Level Δ:	...	RMS Jitter	0.8913 ps	1 MHz -121.24 dBc/Hz



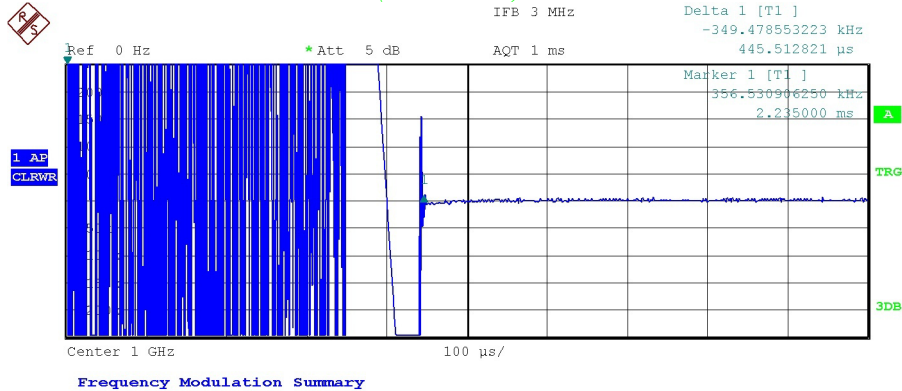
Le bruit dans la bande de boucle augmente légèrement dans le haut de la bande couverte du fait de la topologie du VCO large bande. Un effet de cette topologie, est que le gain du VCO,  $K_v$ , décroît avec la fréquence, et il peut effectivement être vérifié que la bande de boucle diminue, de fait, avec la fréquence. Un choix sur la bande de boucle “moyenne” a été fait pour le meilleur compromis vitesse/bruit/coût sur la bande RF couverte. D’autres topologies de VCO large bande auraient pu être utilisées pour une meilleure performance, mais avec un impact non négligeable sur le coût final.

Néanmoins, Les performances sont tout à fait adaptées pour des applications allant de l’analogique (FM, AM et BLU) au digital (QPSK, QAM...) telles que transceivers large bande à modulations analogiques et/ou digitales équipements de mesures bas coûts, liens data hautement flexibles, etc... Ceci grâce aux choix d’architecture faits dans l’ASIC.



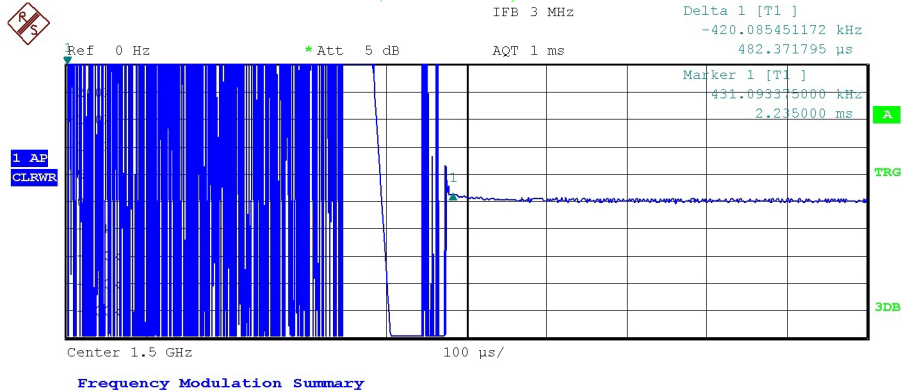
## 5.2.2 Temps de verrouillage :

### Saut de 1010MHz à 1000 MHz (critère FM)



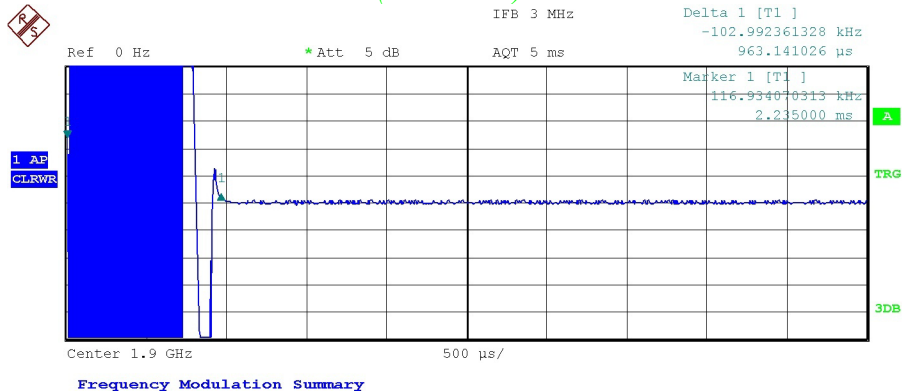
Le temps de verrouillage est autour de 440 μs pour un saut de 10 MHz.

### Saut de 1510MHz à 1500 MHz (critère FM)

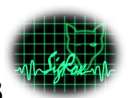


Le temps de verrouillage est autour de 480 μs pour un saut de 10 MHz.

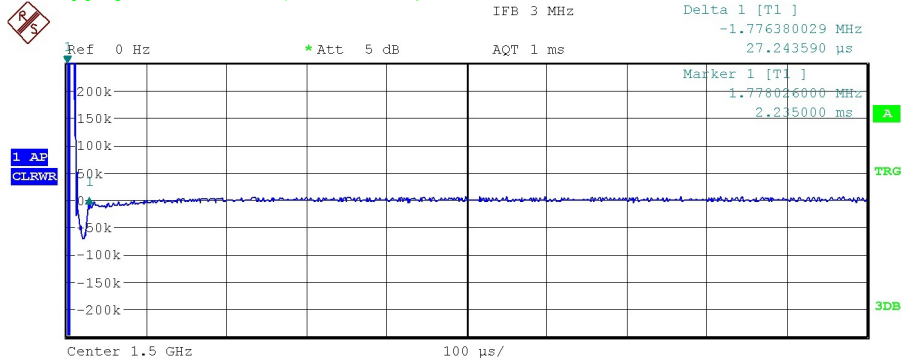
### Saut de 1910MHz à 1900 MHz (critère FM)



Le temps de verrouillage est autour 900 μs pour un saut de 10 MHz.



## Saut typique de 1 MHz (critère FM)

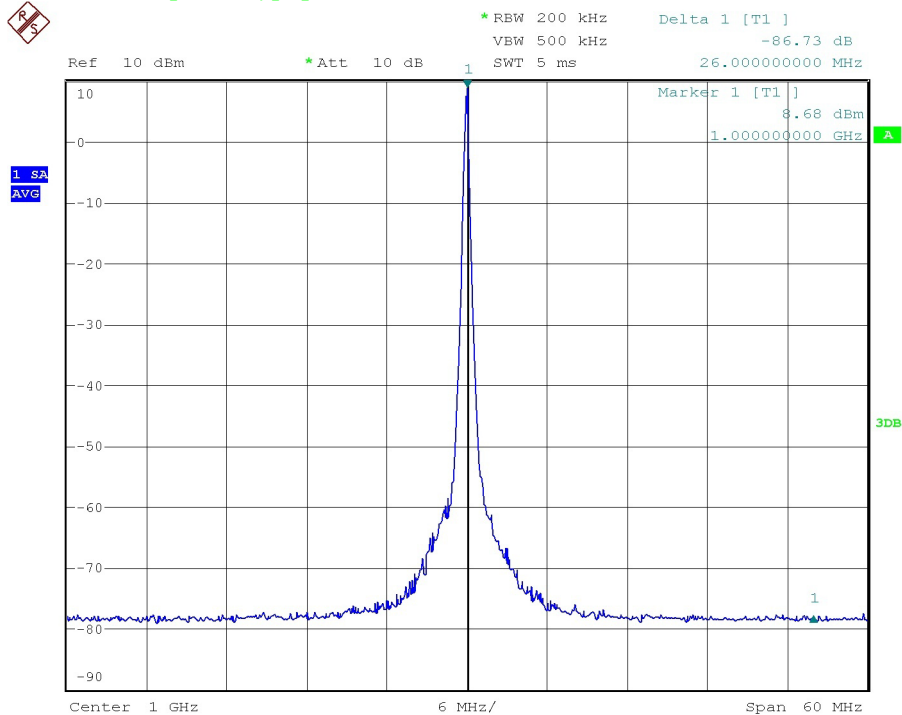


Frequency Modulation Summary

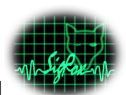
Le temps de verrouillage typique pour un saut de 1 MHz est autour de 30 µs sur toute la bande.

## 5.2.3 Pureté spectrale et puissance de sortie :

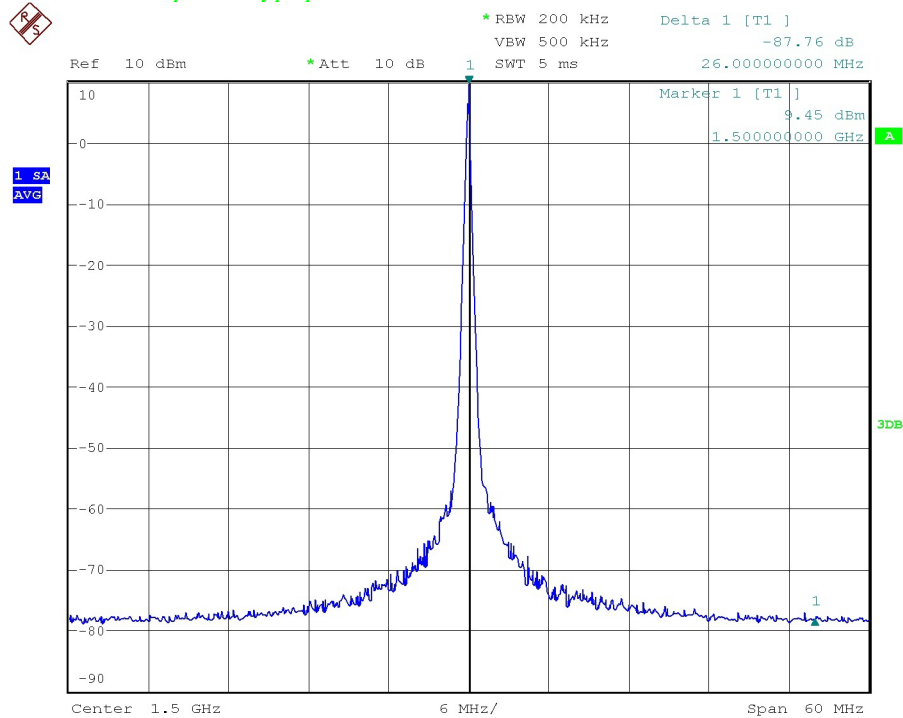
### Puissance et spectre typique à 1 GHz



Notez que la fréquence de comparaison (26 MHz) n'est pas visible autour de la porteuse. La puissance de sortie est de 9 dBm.

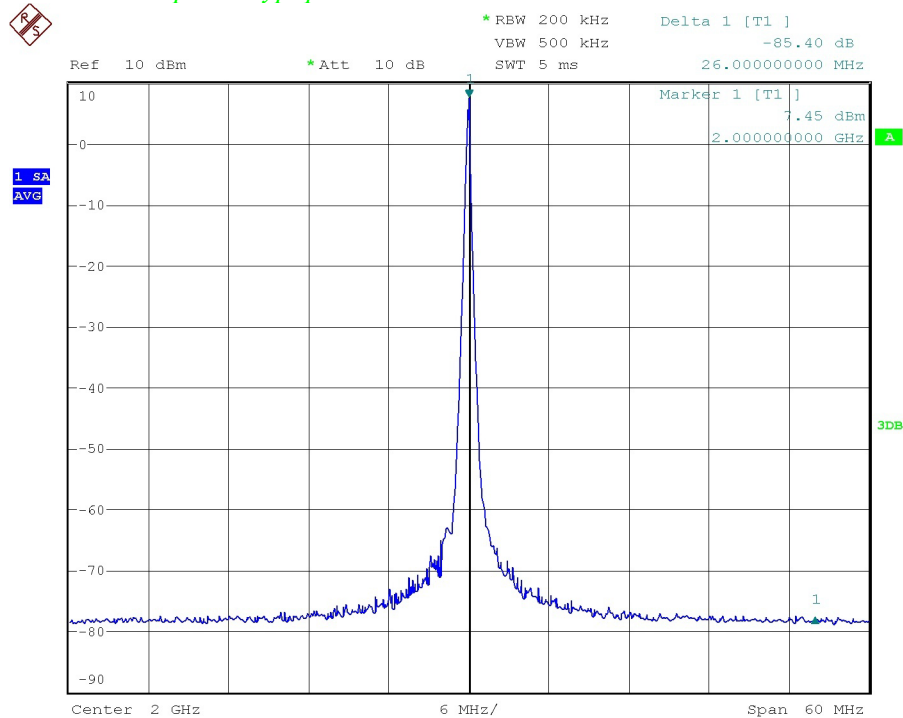


## Puissance et spectre typique à 1.5 GHz

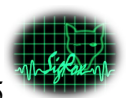


Notez que la fréquence de comparaison (26 MHz) n'est pas visible autour de la porteuse. La puissance de sortie est de 10 dBm.

## Puissance et spectre typique à 2 GHz

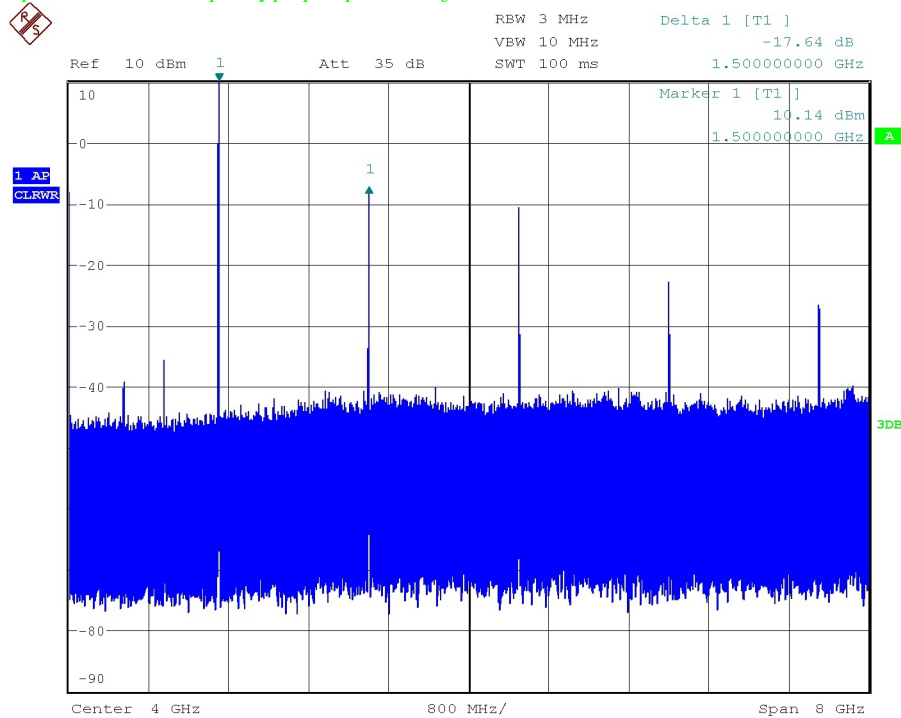


Notez que la fréquence de comparaison (26 MHz) n'est pas visible autour de la porteuse. La puissance de sortie est de 8 dBm.



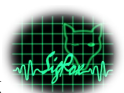


## Spectre harmonique typique pour un fonctionnement à 1.5 GHz



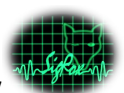
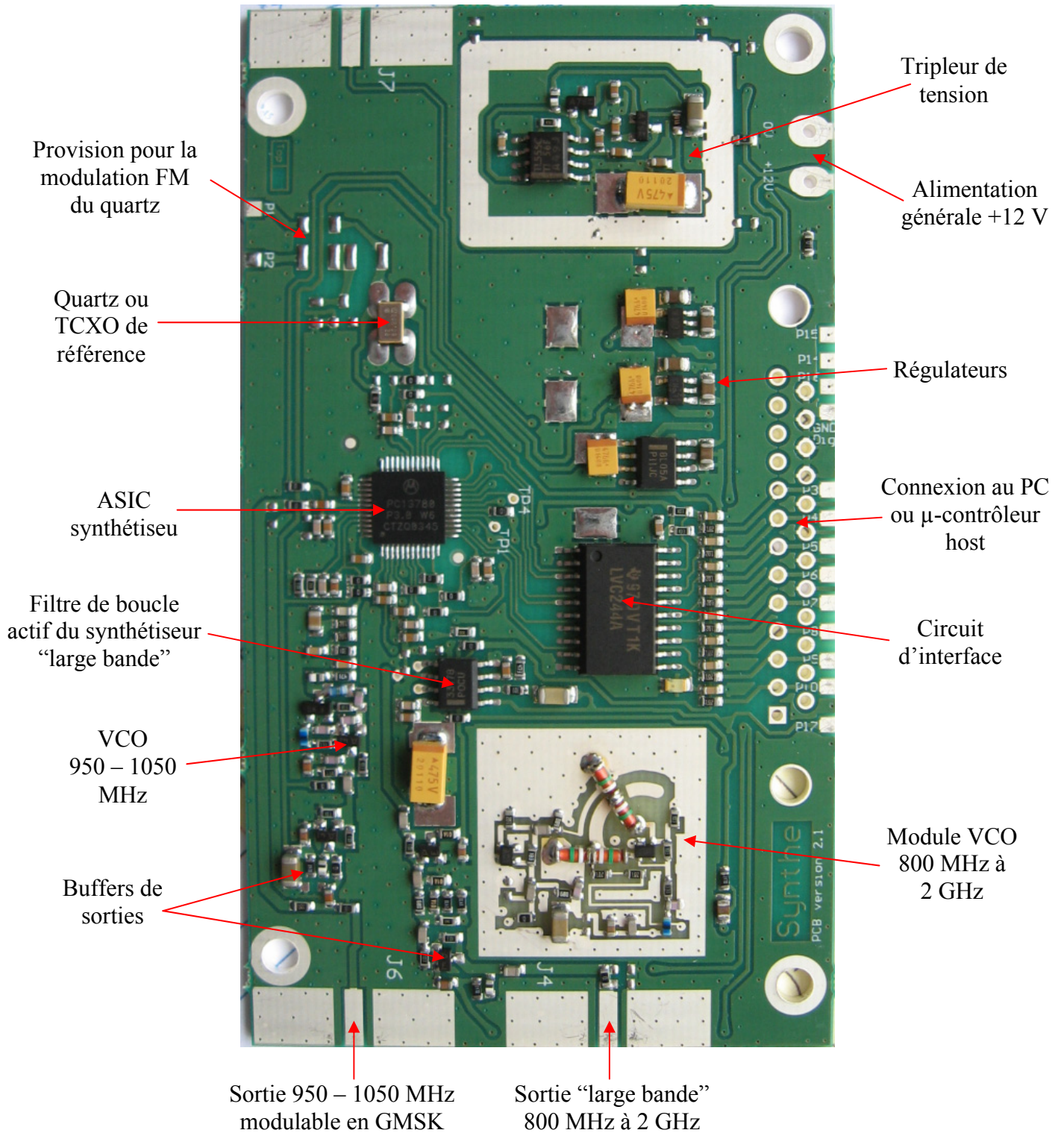
Le filtrage harmonique peut être nécessaire pour certaines applications.

La tension d'accord du VCO venant de U2A, pourrait être utilisée pour synchroniser un filtre d'harmonique accordable sur une octave, basé sur des diodes varicap haute tension. Elle pourrait aussi être utilisée pour accorder en synchronisation, une tête de présélection de récepteur. Un point de test est disponible sur le module **SynFox**, pour récupérer cette tension.



## 6 Agencement pratique du module *SynFox*

### 6.1 Vue de dessus



## 7 Exemples de produits finaux possibles basés sur le module *SynFox*

### ▪ Introduction

Le module *SynFox* a été présenté dans les sections précédentes. Son exceptionnel compromis bruit/résolution/vitesse a été clairement démontré pour les VHF / UHF, de même que son faible coût. La simplicité de mise en œuvre est facilement constatée à partir du schéma et des photos du module. Pour ces raisons, le module *SynFox* amène une véritable révolution dans la conception conventionnelle d'équipements de standards "moyenne à haut de gamme". Des exemples de produits typiques où le module *SynFox* conduit à un haut niveau de compétitivité vont être abordés dans ce qui suit par leurs blocs-diagrammes :

- *Générateur RF 0 - 3 GHz à faible bruit / haute résolution / haute vitesse*
- *Un analyseur de spectre simple "fully synthesized" à haute résolution de 0 à 1 GHz*
- *Un récepteur "general coverage" SDR (Software Definable Radio) 0 à 1 GHz pour PC*
- *Un émetteur/récepteur "general coverage" SDR (Software Definable Radio) 0 à 1 GHz pour PC*
- *Un transceiver VHF / UHF / SHF "full coverage", "tous modes" (SSB, FM, AM, numérique)*

Il sera évident pour des ingénieurs et techniciens radio chevronnés, qu'une infinité d'applications et de produits performants, hautement compétitifs, peut être envisagée avec *SynFox*.

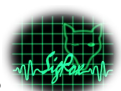
Il leur sera tout autant évident, bien que *SigFox* ait cherché à rendre le module *SynFox* standard le plus universel possible, que d'autres couvertures VCO, d'autres gains de VCO, d'autres paramètres de boucles, peuvent mener à une optimisation supplémentaire pour leurs applications spécifiques.

A ce propos, rappelons que chacune des trois boucles de l'ASIC *SigFox* peut fonctionner de 250 to 2500 MHz, et même plus, moyennant quelque attention...

Ainsi, les VCO et composants de boucles du module *SynFox* pourraient être modifiés pour s'accommoder au mieux de certains plans de fréquences ou contraintes spécifiques diverses.

Cependant, le module *SynFox* est commercialisé dans sa configuration standard uniquement. Les clients intéressés sont invités à contacter *SigFox* pour discuter les conditions d'éventuelles adaptations.

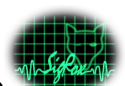
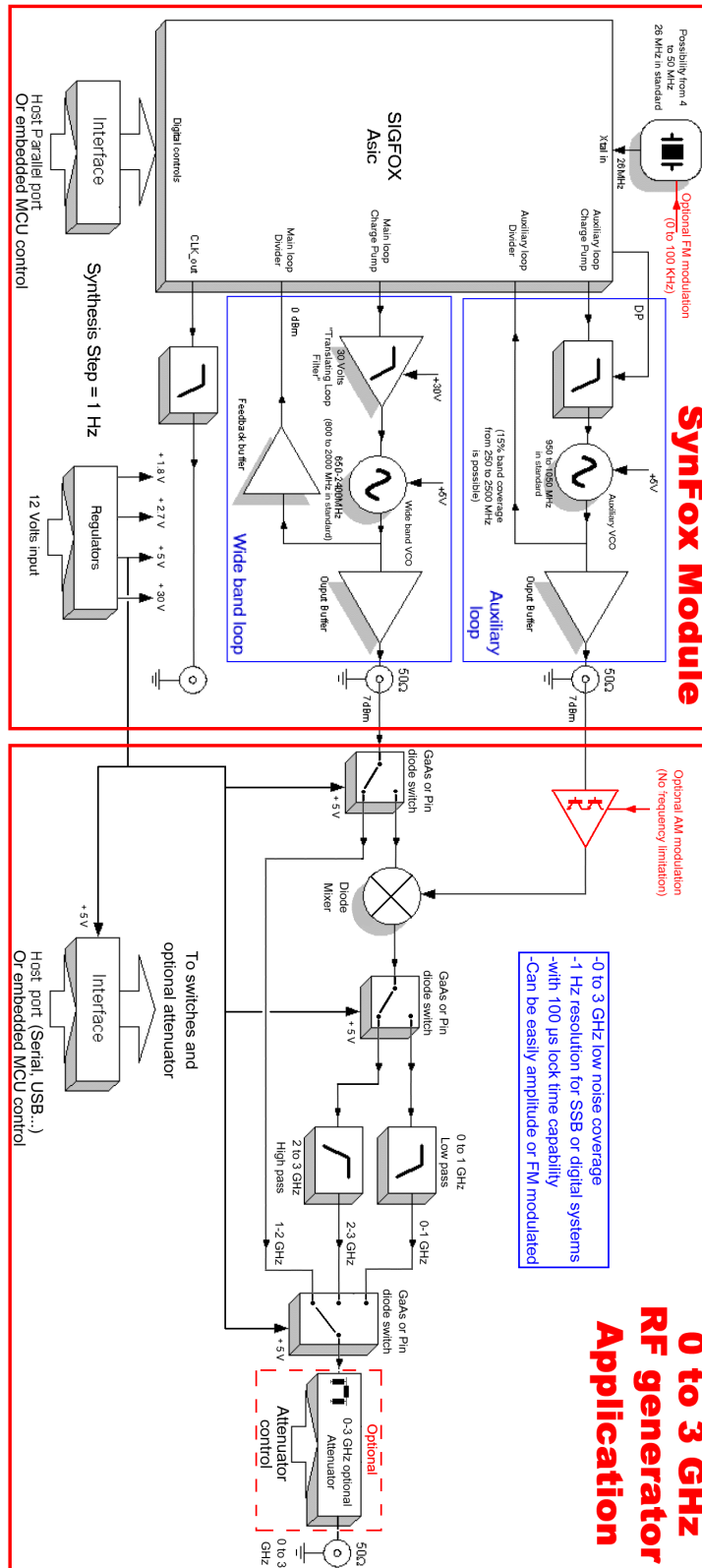
Vous pouvez également obtenir un support d'application sur vos modifications potentielles, en contactant *SigFox*.



## 7.1 Exemple 1 : Générateur RF 0 - 3 GHz à faible bruit / haute résolution / haute vitesse

Du fait de ses performances intrinsèques présentées auparavant dans ce document, il est clair que le module **SynFox** est particulièrement bien adapté à un générateur RF **bas coût**, à **pas minimum très fin et rapide**. Une couverture de **0 à 3 GHz** n'est pas compliquée à obtenir dans un arrangement hétérodyne.

- **Block diagramme d'une implémentation possible**



Des générateurs RF encore plus simples peuvent être dérivés du module *SynFox*, en se limitant à des sous-bandes, éliminant ainsi les filtres (bandes 0 à 1 GHz ou 2 à 3 GHz), et même des mélangeurs, en ne couvrant que la bande initiale du module *SynFox* (1 à 2 GHz de la boucle primaire).

Comme déjà mentionné dans l'introduction, les VCO et boucles du module *SynFox* peuvent être modifiés pour s'adapter à d'autres plans et contraintes. Les clients intéressés sont invités à contacter *SigFox* pour discuter les conditions d'éventuelles adaptations. Vous pouvez également obtenir un support d'application sur vos modifications potentielles, en contactant *SigFox*.

Le bruit de phase et les paramètres de vitesse du générateur RF seront principalement dominés par les performances intrinsèques du module *SynFox*. Cependant, comme à l'habitude, une attention particulière doit être apportée aux alimentations, masses et conditions électromagnétiques de l'équipement final.

Plus important, Tous les raffinements doivent être apportés aux mélangeurs, switches et atténuateurs RF, pour garantir un faible contenu de produits parasites, de même qu'un faible taux de fuite RF aux niveaux de sortie faibles (typiquement aux environs des -140 à -110 dBm en sortie)

La sage précaution à ce stade, pour un équipement digne des meilleurs au niveau EMC, est d'installer le module *SynFox* dans un boîtier blindé, avec un filtrage approprié ("feed through") sur le DC et les accès de programmation. Il est également sage de souder un blindage sur le VCO large bande, en utilisant la zone brasable prévue à cet effet. (La hauteur du blindage doit être de 5 mm au minimum)

Il est intéressant de noter cependant, que la nature large bande des boucles PLL du module *SynFox*, garantit "**l'éradication par principe physique**" de la quasi-totalité des modulations FM parasites dues aux bruits d'alimentations, aux perturbations digitales, de même que des effets AM / PM parasites, et autres remodulations. Une boucle large amène en effet une robustesse sans égale, difficile sinon impossible à approcher autrement.

L'autre conséquence de la nature large bande des boucles PLL du module *SynFox* est, comme déjà mentionné, un temps de verrouillage rapide (autour de la centaine de  $\mu$ s). Ceci permet d'avoir un générateur RF "**agile**" en fréquence, et ayant une bonne capacité à balayer. C'est un avantage considérable pour des **générateurs de tracking rapides**, des **analyseurs de réseaux rapides**, ou **analyseurs de spectre rapides**, de même que des systèmes à spectre étalé indirects, ou à **évasion de fréquence rapide**...Etc...

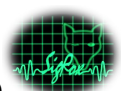
La modulation FM, pour des signaux analogiques ou des FSK / GFSK / GMSK sous les 50 à 100 KHz de bande, peut être appliquée sur la référence à quartz.

Pour le module *SynFox* version "A" utilisant un quartz 15 ppm standard, une diode varicap doit être ajoutée. Un index de modulation de l'ordre de 20 ppm peut aisément être obtenu.

Pour le module *SynFox* version "C" utilisant un VCTCXO 2 ppm, un index de modulation de 5 ppm sera obtenu.

Une modulation de type GSM GMSK parfaitement contrôlée de manière digitale (270.833 Kbit/s avec indice de modulation exact de 0.5 et un BT parfaitement égal à 0.3) peut être obtenue de la boucle auxiliaire bande étroite du module *SynFox*.

Veuillez contacter *SigFox* pour plus de détails.

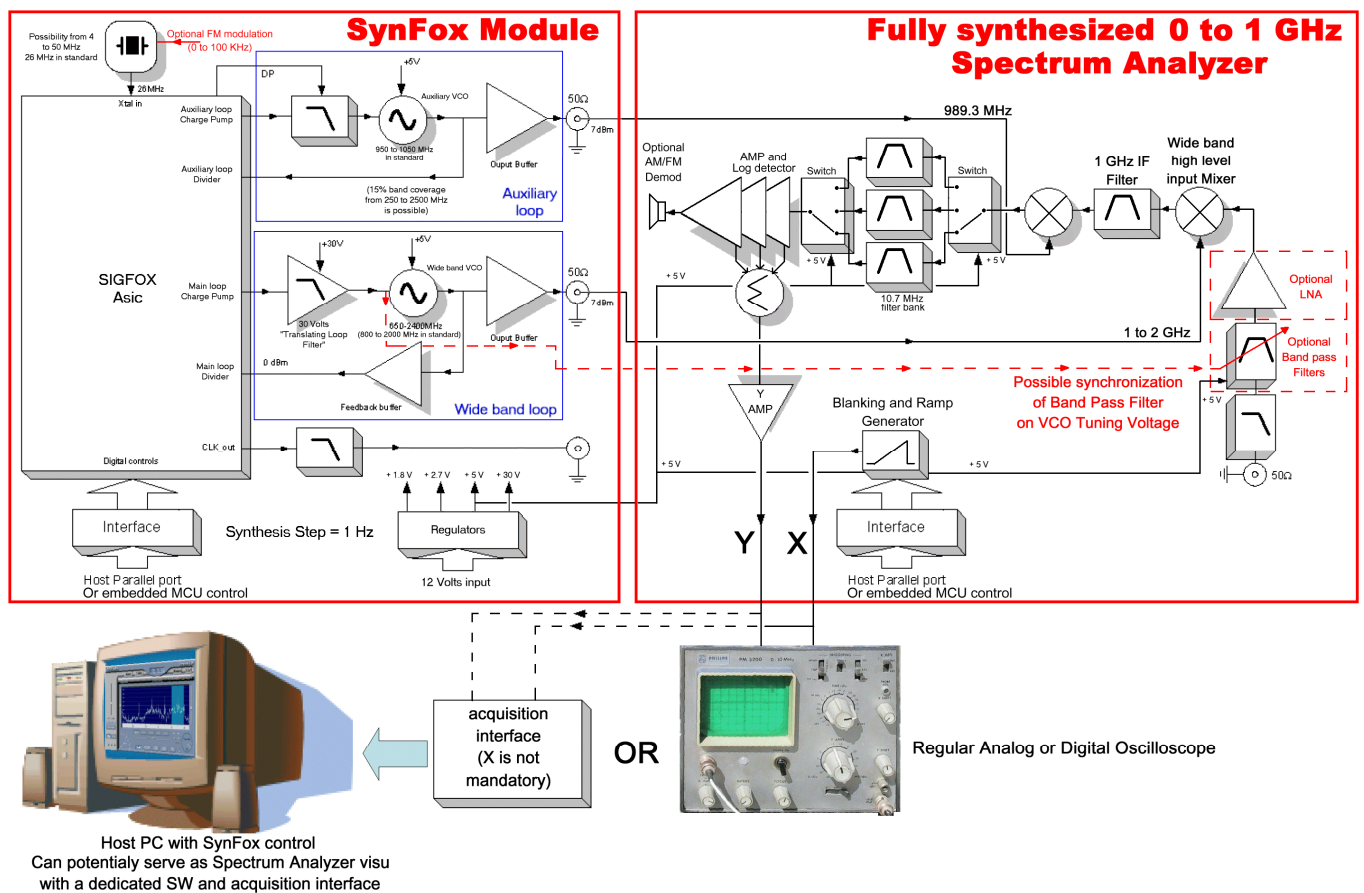




## 7.2 Exemple 2 : Un analyseur de spectre simple “fully synthesized” à haute résolution de 0 à 1 GHz

Voici un autre cas simple, ou le module *SynFox* prend sa pleine valeur pour amener un produit final extraordinairement compétitif. En effet, des **analyseurs de spectre rapides et haute résolution “Fully Synthesized”** dans les VHF / UHF, sont généralement des équipements haut de gamme. Encore une fois, le compromis bruit / résolution / vitesse particulièrement attractif du module *SynFox* permet d’exploser cette barrière.

### ▪ Block Diagramme

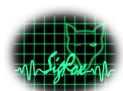


La plupart des avantages discutés dans la section 7.1) sont particulièrement pertinents pour un tel produit.

**Agilité et balayage rapide** sont des qualités importantes pour un analyseur de spectre. Avec le module *SynFox* dans la conception, la limitation de vitesse viendra principalement de la réponse des filtres FI, surtout si cette fonction est assurée de manière analogique pour des questions de simplicité. Un système à FI numérique profitera probablement mieux des avantages en vitesse de ces types de synthétiseurs, car l’acquisition du “point de mesure” sera plus rapide.

La performance en bruit de phase dans la région de 10 à 400 KHz de part et d’autre de la porteuse, ne sera pas au sommet de la technique comme on peut couramment le voir sur des analyseurs de l’ordre de 50 K€ ou plus, mais permettra d’observer sans soucis le bruit de phase de VCOs “de base”, et sera bien meilleure en cela, que celles d’équipements d’analyse de spectre d’entrée de gamme ! (< 5000 €)

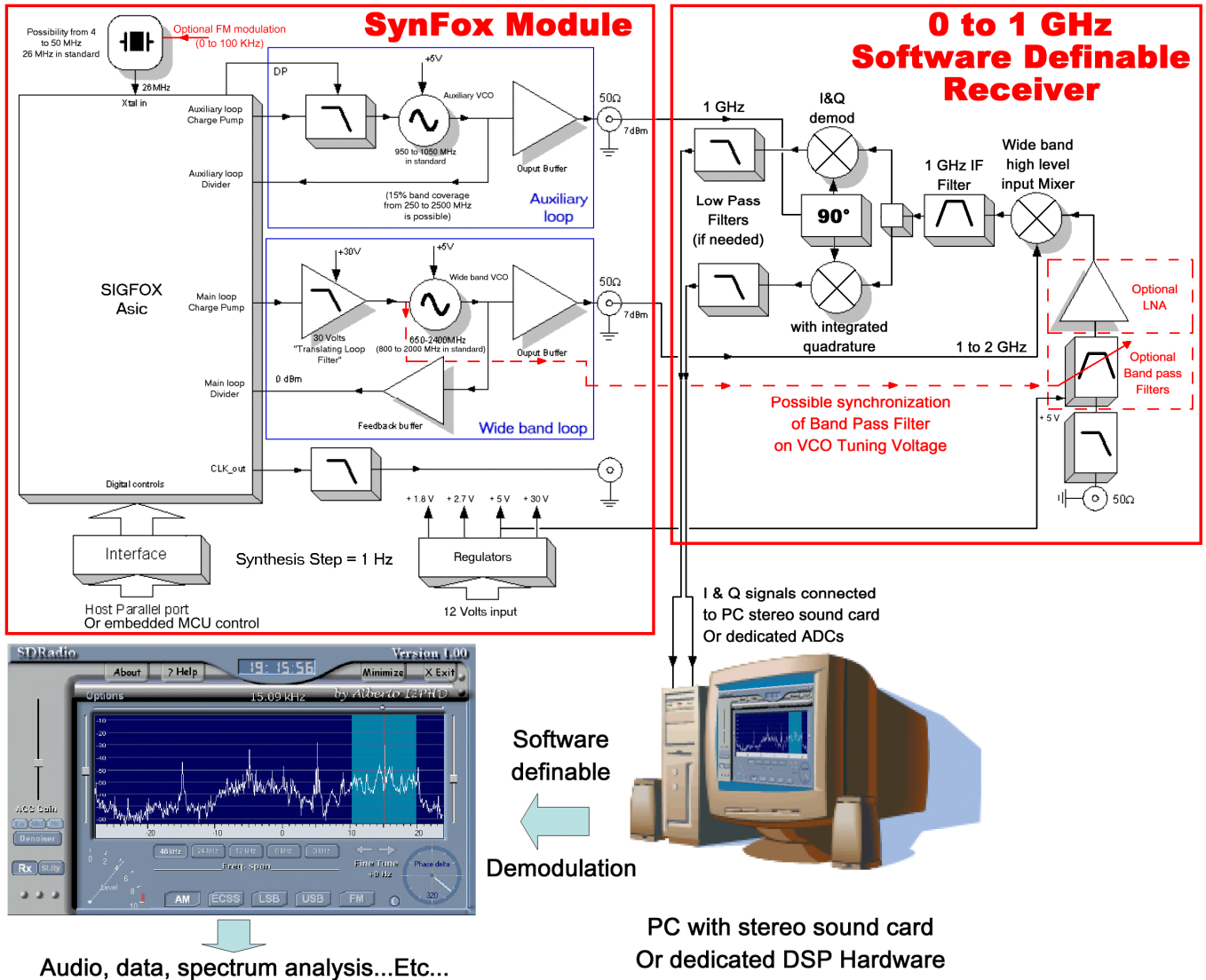
Pour un “top produit” du point de vue EMC, les précautions exposées dans la section 7.1) doivent être appliquées.



## 7.3 Exemple 3 : Un récepteur “general coverage” SDR (Software Definable Radio) rapide, de 0 à 1 GHz pour PC

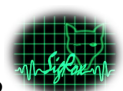
Et maintenant : Pourquoi pas un récepteur ? Les possibilités du module *SynFox* sont nombreuses. Ses performances en bruit et sa résolution, permettent **toutes les démodulations** (AM, FM, SSB, modulations numériques étroites ou larges). Sa vitesse permet des balayages rapides du spectre (là encore, les limitations dans ce domaine risquent plus d’être liées à la réponse canal qu’à la génération de fréquence). Suivre des signaux à **évasion de fréquence rapide** devient possible avec le module *SynFox*.

### ▪ Block Diagramme



Des “down-mixers I/Q” modernes sont disponibles sur le marché (Maxim MAX2021, MAX2023, RFMD RF2713, RF2422, etc...). Ils permettent aujourd’hui d’atteindre une réjection d’image et de porteuse exceptionnelle (45 dB), ainsi qu’une haute dynamique globale et une excellente sensibilité. L’architecture que propose ici *SigFox* utilise une première conversion vers le haut, mais une conversion directe “I/Q” pour la bande de 1 à 2 GHz est parfaitement possible avec une relativement bonne performance. La couverture de 2 à 3 GHz peut aussi être considérée en revenant au principe de première conversion autour de 1 GHz, mais en mode infradyne cette fois-ci...

Pour des démodulations à bande étroite ou bande moyenne (jusqu’à 20 KHz de bande système environ), une bonne “carte son PC” à bonne dynamique, convient parfaitement. Un choix énorme de logiciels “SDR”



complets et très professionnels de démodulation et même modulation, bien que parfaitement **libres**, est disponible sur internet, de même qu'une énorme littérature, une grande quantité de code "open-source", et une grande quantité de résultats de recherche.

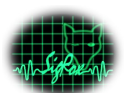
La démodulation de signaux à bandes ultra étroites, souvent numériques (autour de quelques Hz, voire inférieures au Hz), est d'habitude ardue dans la région des VHF / UHF et surtout UHF hautes, car le bruit de phase des oscillateurs locaux très proche de la porteuse n'est souvent pas assez bon. Ceci n'est plus vraiment un problème dans bien des cas avec **SynFox**, le bruit de phase étant déjà autour de -100 dBc/Hz à 100 Hz de la porteuse !

La démodulation de signaux larges bandes (entre quelques dizaines de KHz et quelques dizaines de MHz) et / ou le besoin de "portabilité et autonomie" demanderont obligatoirement un matériel de conversion A/D & D/A et des DSP dédiés.

La tension de contrôle de la PLL large bande, pourrait parfaitement être utilisée pour le "tracking" automatique d'un présélecteur d'entrée (à diodes varicap par exemple).

Pour finir, signalons que **SigFox** prépare la mise sur le marché, d'un "Front-End" RF optimisé pour la SDR proche de ce qui est exposé ci-dessus.

N'hésitez pas à demander des informations auprès de **SigFox**.





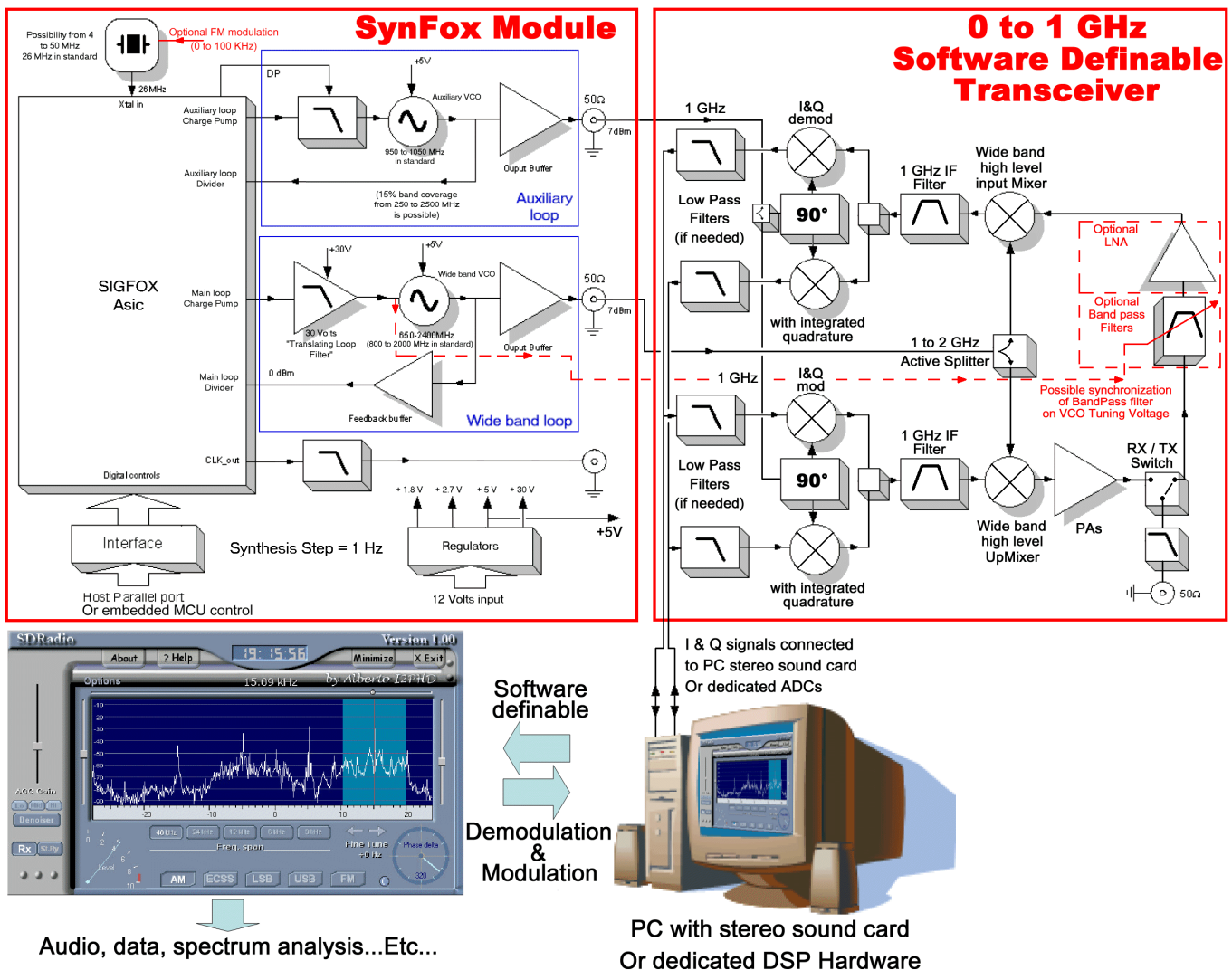
# High resolution UHF Synthesizer

## 7.4 Exemple 4 : Un émetteur/récepteur “general coverage” SDR (Software Definable Radio) rapide, de 0 à 1 GHz pour PC

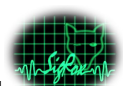
Le pas technique d’un récepteur SDR vers un transceiver SDR est probablement aisé à faire...Sur le papier en tous cas. Mais également dans la pratique grâce aux qualités du module *SynFox*. Entre autre parce que les larges bandes de boucles des PLL de *SynFox*, sont un remède robuste face au problème bien connu de “remodulation” dans les modulateurs “I/Q” !

On peut ainsi dire que le module *SynFox* procure un **haut niveau de stabilité et de robustesse de signal**, permettant d’atteindre une très faible **EVM** (Error Vector Magnitude), en toutes conditions et sans besoin de séparations multiples des étages et de blindages lourds et chers !

### ▪ Block Diagramme



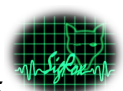
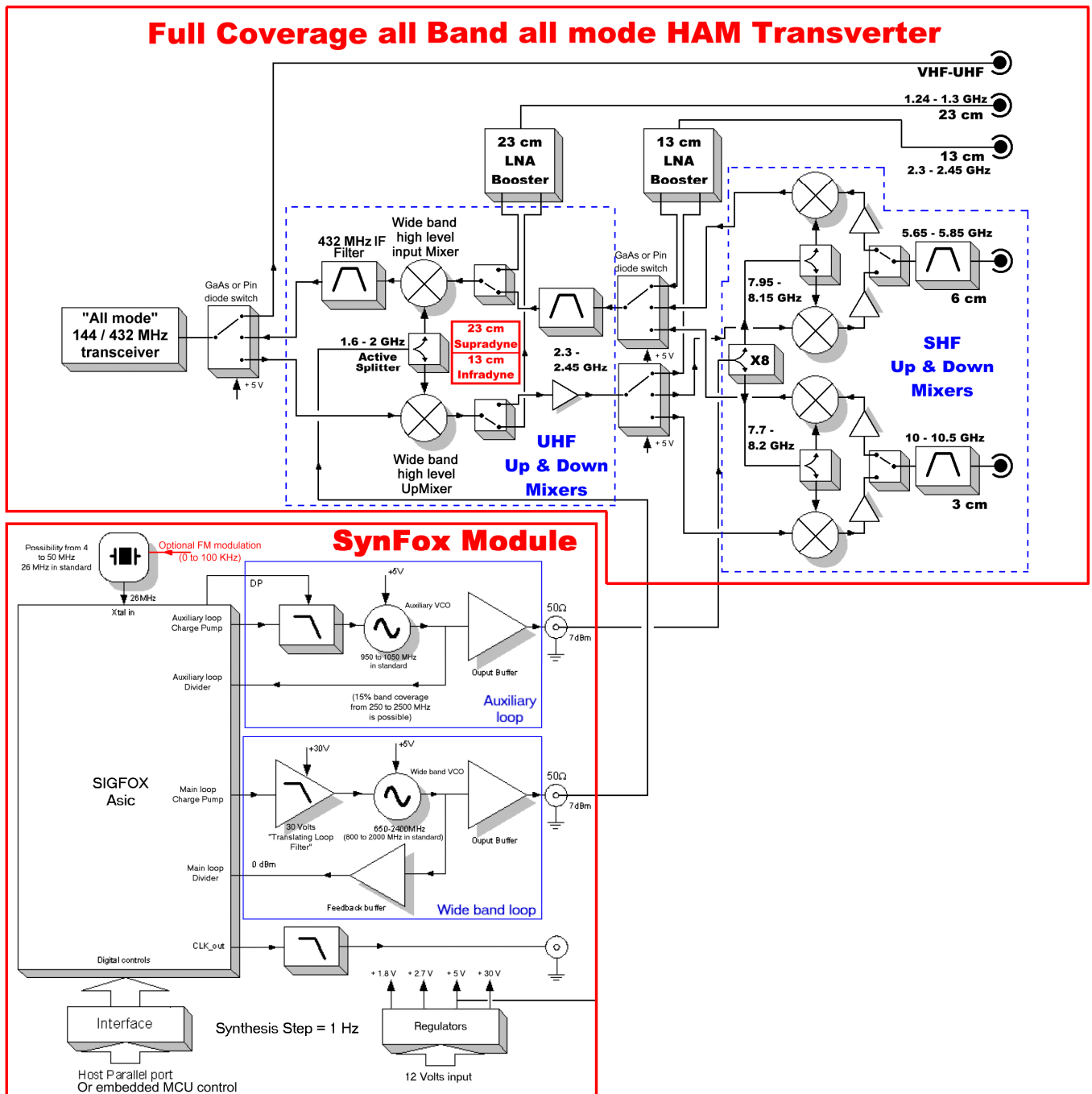
Il sera évident pour un ingénieur, technicien ou opérateur expérimenté en radiocommunications, que les commentaires donnés à propos de la réception SDR sont valides pour un transceiver SDR.



## 7.5 Exemple 5 : Un transceiver VHF / UHF / SHF "full coverage", "tous modes" (SSB, FM, AM, numérique)

Les bandes SHF (quelques GHz à dizaines de GHz) sont d'habitude un domaine où la génération de fréquence devient rapidement un challenge quand la performance est recherchée (haute résolution, vitesse, bruit de phase). Les oscillateurs DRO libres sont simples et relativement faible bruit, mais pas assez stables pour la plupart des utilisations. Leur stabilisation avec des PLL conventionnelles, requière des prédiviseurs très chers, et conduit à des pas très larges. De même, la multiplication du signal d'une PLL UHF conventionnelle entière mène également à un pas final très large non compatible avec de nombreux besoins.

### ▪ Block Diagramme



Le compromis Pas réduit / Haute vitesse / Faible bruit requière toujours d'insérer une PLL UHF complexe à pas fin dans une ou deux PLL SHF à accord grossier sous forme d'un arrangement multi-boucle de coût et de consommation élevés.

**SynFox** peut avantageusement être inséré dans un tel arrangement, mais son signal de sortie pourrait aussi être simplement multiplié avec quelques légères dégradations sur le pas et le bruit.

En effet, une PLL à 1 GHz d'un pas de 1 Hz, ne donne qu'un pas final de 10 Hz, Ce qui reste parfaitement compatible avec la BLU ou l'opération dans des modes numériques. Comme nous avons également vu, le module **SynFox** montre un plancher de bruit de phase autour de  $-110$  dBc/Hz vers le Giga Hertz. Cela ne conduira qu'à environ  **$-100$  dBc/Hz à 10 GHz !**

$-100$  dBc/Hz à 1 ou 10 KHz autour de la porteuse à 10 GHz, avec un pas de 10 Hz.....Ceci n'est "pas si mal", n'est-ce pas ?

Une telle perspective, peut amener à "revisiter" nombre d'anciens concepts dans la région des hyperfréquences.

Nous avons pris en exemple, un transceiver multi-bandes / multimodes SHF pour radio amateurs ("HAM").

Dans de telles applications, l'oscillateur local SHF pour le "down-up mixing" provient généralement d'une **source à quartz fixe multipliée** de nombreuses fois pour des raisons de facilité de mise en œuvre évidentes. La syntonisation adéquate finale est alors assurée en "walking IF", par un émetteur-récepteur VHF ou UHF disposant des démodulations / modulations recherchées.

Mais ceci signifie que l'exploration complète des bandes SHF est impossible et limitée à la couverture du transceiver VHF ou UHF concerné (quelques MHz seulement, comparé à des centaines de MHz disponibles).

Cette limitation disparaît avec le module **SynFox**, car **la génération SHF est directement assurée par le module SynFox**, avec une très bonne précision en fréquence (pas de 10 Hz voire moins), accompagnée d'une grande vitesse d'accord ou de balayage et un relativement bon bruit de phase.

La spécification de la FI est alors restreinte à un simple Modulateur / Démodulateur, qui peut être opérée à fréquence fixe dans le domaine VHF / UHF.

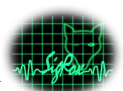
Les transceivers "No Tune" SHF, si bien connus de Matias Vidmar (réf 4), peuvent avantageusement être revisités avec l'emploi du module **SynFox** !

Dans ce contexte, le bloc-diagramme ci-dessus présente vraiment une approche originale pour couvrir **la totalité des spectres radio amateur** de 144 MHz à 10.5 GHz avec une simplicité relative de mise en œuvre, et pas seulement **de petites portions de 2 MHz** ou à peu près.

Concernant une des difficultés classiques de ce type de trafic : **la précision en fréquence**, requise pour des "rendez-vous fréquentiels" aussi peu aléatoires que possible, plusieurs solutions existent avec le module **SynFox**, dont certaines originales :

-On peut bien sûr remplacer la référence 26 MHz d'origine par un OCXO à 0.01 ppm, du commerce, ou fabriqué avec la référence d'origine. C'est la solution classique.

-On peut utiliser le **recalage logiciel** de la référence 26 MHz d'origine, surtout avec le module **SynFox version "C" utilisant un VCTCXO 2 ppm**, car sa dérive en fréquence est très faible au cours du temps. Environ 0.1 ppm pour des températures ne changeant pas de plus de  $10^\circ$ . Pour donner une idée, 0.1 ppm correspond à une dérive de 1 KHz à 10 GHz. Une fois la correction entrée de manière logicielle, le recalage ne sera pas souvent nécessaire. Ce calage pourra se faire en réception, sur une harmonique un petit émetteur à OCXO local.



## 8 Installation du logiciel de contrôle PC sous Windows et brève présentation.

### ▪ Introduction

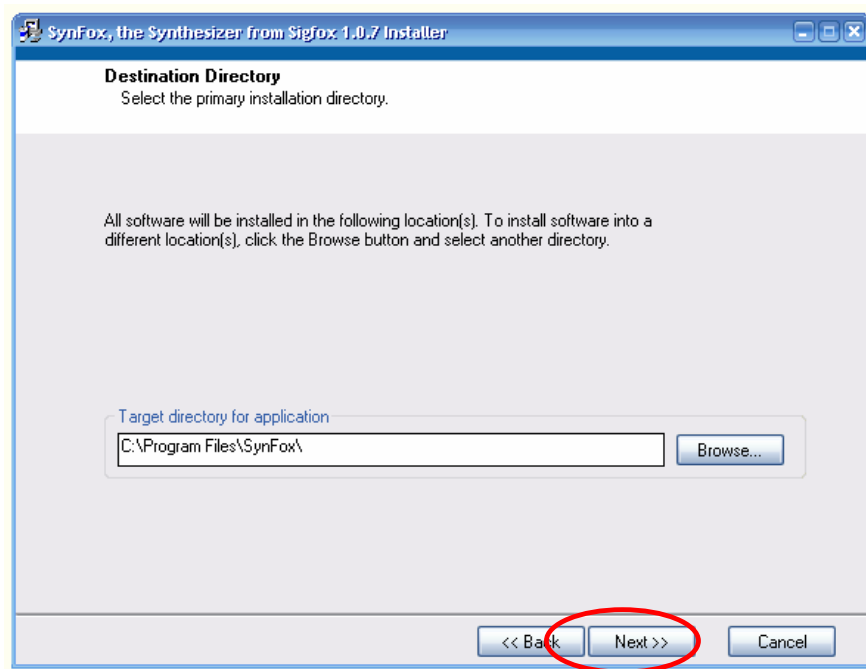
Le module *SynFox* est livré avec un logiciel de contrôle standard pour Microsoft Windows accompagné de son **code source ouvert** pour adaptation ou intégration éventuelle par le client final.

### 8.1 Procédure d'installation.

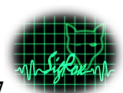
L'archive d'installation doit contenir les fichiers suivants :

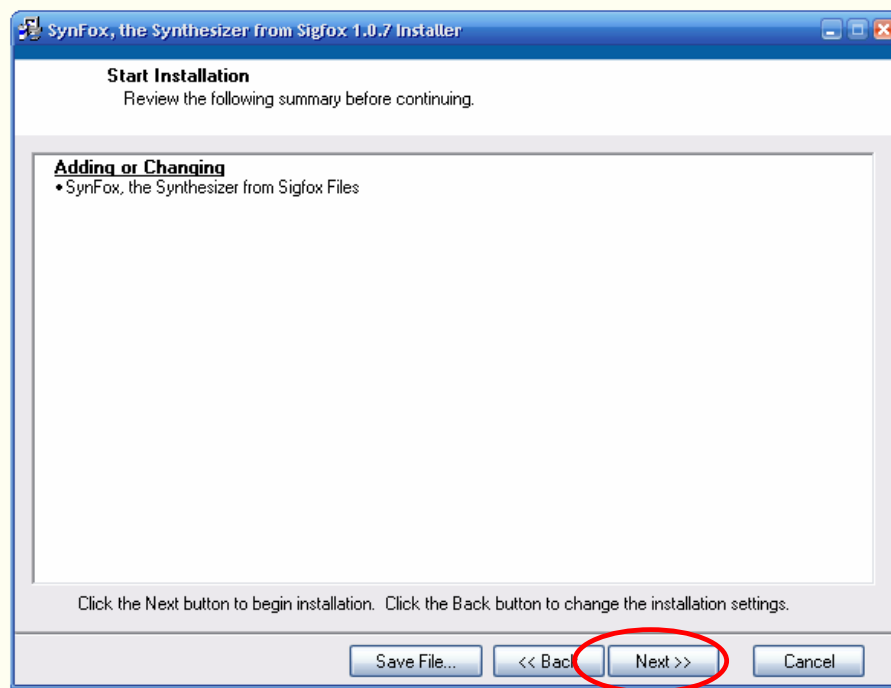
Nom	Taille	Type
bin		Dossier de fichiers
license		Dossier de fichiers
supportfiles		Dossier de fichiers
pidet.id	1 Ko	Fichier ID
setup.exe	1 816 Ko	Application
setup.ini	2 Ko	Paramètres de configuration

Lancez l'application SETUP et la procédure d'installation débutera.

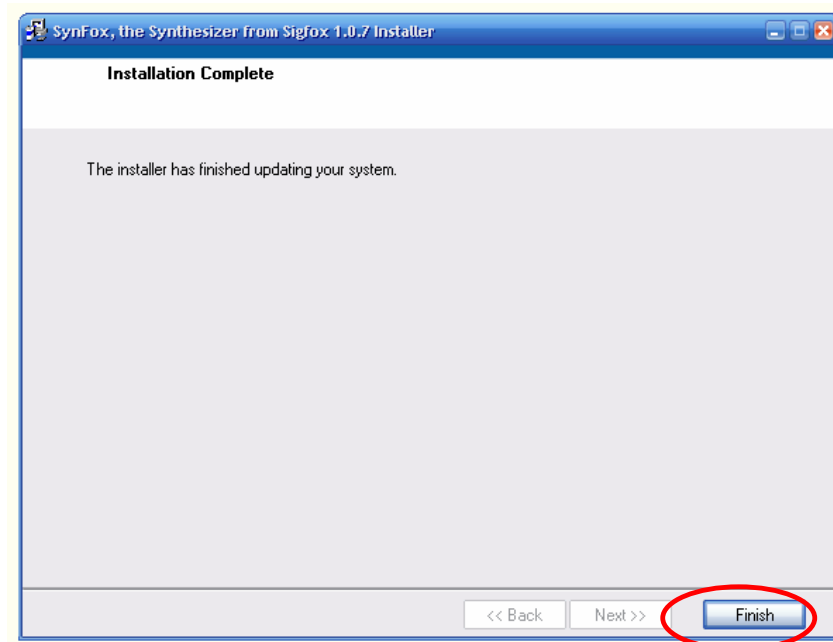


Sélectionnez le répertoire de destination de votre choix pour l'application.  
Puis cliquez sur NEXT.

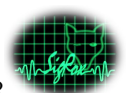


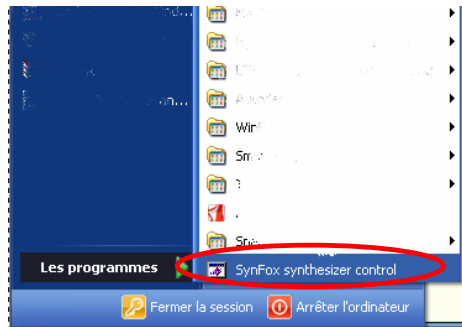


Cliquez sur NEXT.



Cliquez sur FINISH pour terminer la procédure d'installation.



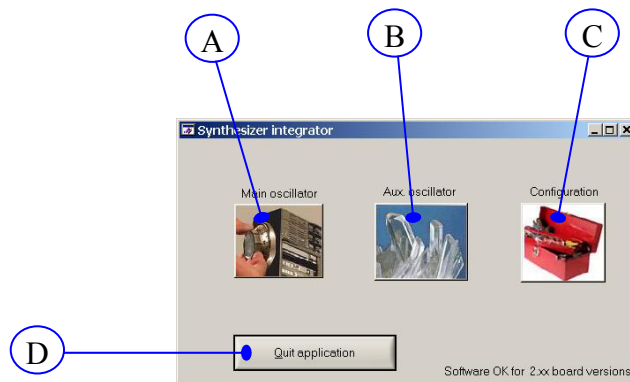


Pour lancer l'application logicielle *SynFox*, allez au menu de démarrage et cliquez sur l'icone de l'application.

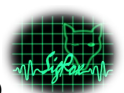
## 8.2 Documentation du logiciel

### 8.2.1 Interface graphique fournie avec le kit

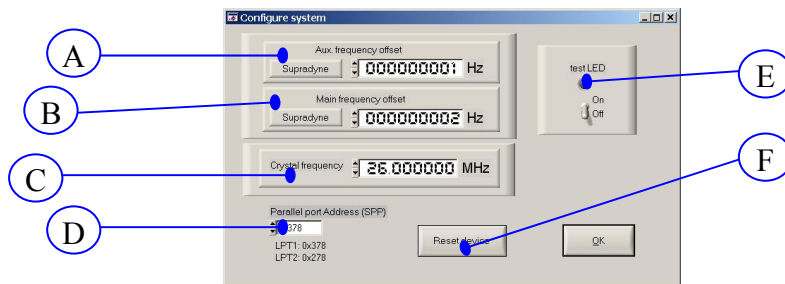
- *SynFox* integrator



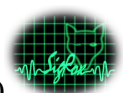
- Ouvre le panneau de configuration du synthétiseur principal large bande
- Ouvre le panneau de configuration du synthétiseur auxiliaire bande étroite
- Ouvre le panneau de la boîte à outils de configuration “ TOOLBOX ”
- Ferme tous les panneaux et clos l'application *SynFox*



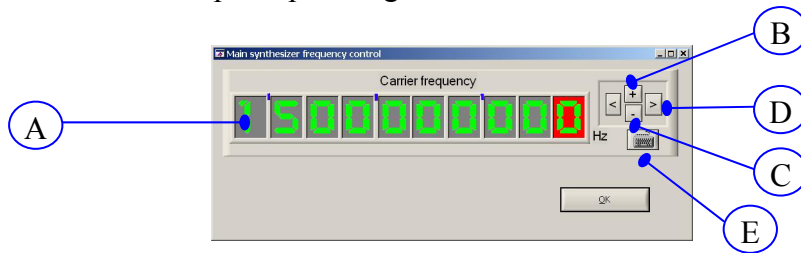
- La boîte à outils de configuration “ TOOLBOX ”



- Configure l'éventuel offset d'affichage sur la fréquence de la PLL auxiliaire. Ceci permet de compenser une éventuelle FI et d'avoir ainsi un affichage direct.
- De la même manière, configure l'éventuel offset d'affichage sur la fréquence de la PLL large bande principale. Ceci permet de compenser une éventuelle FI et d'avoir ainsi un affichage direct.
- Configure la fréquence de référence à quartz, ou d'horloge externe. Pour l'application standard, telle qu'elle est livrée, la fréquence moyenne est de 26 MHz, mais cette entrée permet de **corriger toute dérive** qu'on aurait eu soin de mesurer avec un instrument de mesure de précision, **et ceci au Hertz près !**
- Configure l'adresse du port parallèle.
- Permet de vérifier rapidement la communication avec le module *SynFox*. Ceci permet en quelque sorte le “pinging” de la carte.
- Initialise ou réinitialise l'ASIC *SynFox*.

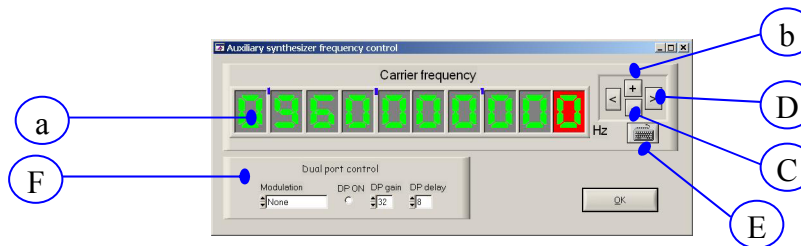


- Configuration de la PLL principale large bande

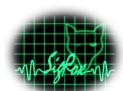


- Indique la fréquence désirée pour la PLL large bande
- Augmente la fréquence
- Réduit la fréquence
- Déplace la position du curseur rouge vers un autre digit
- Permet l'entrée directe de la fréquence désirée au clavier

- Configuration de la PLL 1 GHz "Auxiliaire" bande étroite



- Indique la fréquence désirée pour cette PLL dans la gamme possible
- Augmente la fréquence
- Réduit la fréquence
- Déplace la position du curseur rouge vers un autre digit
- Permet l'entrée directe de la fréquence désirée au clavier
- Configure le système Dual-Port en cas de modulation GMSK (DP ON validé). Les réglages de DP-gain et de DP-delay permettront d'obtenir une erreur de phase de l'ordre de  $1.5^\circ$  RMS, lorsque les data de modulation sont appliquées à l'ASIC

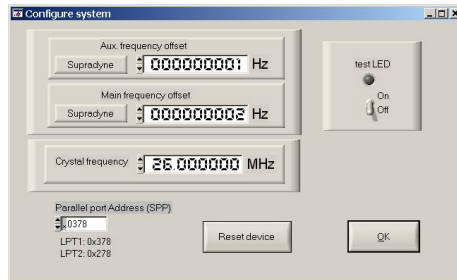




## 8.2.2 Configuration système

Avant de lancer le logiciel de contrôle sur le PC, vérifiez que la carte est correctement alimentée (Tension 12V). Vérifiez que le port parallèle du PC est connecté correctement à la carte. En opération normale, la carte **SynFox** consomme environ 100 mA.

La section suivante présente l'utilisation du panneau de réglage " TOOLBOX ".



- Configuration du port parallèle

"Parallel port address" doit contenir l'adresse de base du port parallèle qui contrôle la carte. NB: LPT1 est adressé à 0x378, LPT2 est adressé à 0x278.

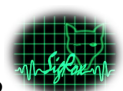
Note importante : Le port parallèle utilisé pour communiquer avec la carte **SynFox** doit être configuré en mode **standard** ou **SPP**. Le logiciel fourni utilise le port parallèle dans son mode " legacy ", de la même manière que les anciennes imprimantes étaient contrôlées. La configuration du port parallèle d'un PC est accessible depuis la configuration du BIOS de ce PC, dans lequel on peut rentrer au démarrage de la machine.

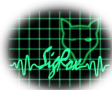
- Vérification du lien entre le P.C. et la carte **SynFox**.

Le champ TEST LED, permet d'allumer (ON) et d'éteindre (OFF) la LED installée sur la carte **SynFox**. Si la carte est correctement connectée, la LED doit instantanément réagir aux actions du Switch.

Si la LED reste inactive, vérifiez le câble, sa connexion ou la configuration du port parallèle (voir la section dédiée).

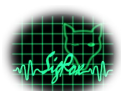
Il n'y a aucune corrélation entre l'activité ou non activité de la diode LED et l'alimentation correcte de la carte. En effet cette LED est directement alimentée par le PC via le port parallèle.





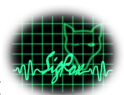
## Table of contents

<b>1</b>	<b>Introduction .....</b>	<b>1</b>
<b>2</b>	<b>La synthèse Fractionnaire ou FracN .....</b>	<b>2</b>
2.1	Introduction à la technique .....	2
2.2	Avantages .....	4
<b>3</b>	<b>ASIC SigFox – présentation rapide .....</b>	<b>5</b>
3.1	Description.....	5
3.2	Atouts techniques .....	5
3.3	Performances RF .....	6
3.4	Boitier.....	7
3.5	Description des broches.....	8
3.6	Modulateur FM / GMSK .....	10
3.7	Présentation rapide du Dual Port.....	11
<b>4</b>	<b>ASIC SigFox : Exemples de domaines d'applications / Application commerciale spécifique, le module "SynFox" .....</b>	<b>13</b>
4.1	Exemple 1 : Utilisation potentielle dans un système cellulaire 3G "UMTS" (WCDMA / GSM / EDGE) .....	13
4.2	"Synfox", une des principales applications OEM de SigFox : Un synthétiseur large bande 800 MHz à 2 GHz faible bruit au pas minimum de 1 Hz, associé à une boucle auxiliaire haute résolution, pour usage hétérodyne.....	15
<b>5</b>	<b>Performances mesurées .....</b>	<b>29</b>
5.1	Boucle 1GHz bande étroite.....	29
5.1.1	<i>Mesures de bruit de phase :</i> .....	29
5.1.2	<i>Temps de verrouillage :</i> .....	30
5.2	Boucle à large couverture .....	31
5.2.1	<i>Mesures de bruit de phase :</i> .....	31
5.2.2	<i>Temps de verrouillage :</i> .....	33
5.2.3	<i>Pureté spectrale et puissance de sortie :</i> .....	34
<b>6</b>	<b>Agencement pratique du module SynFox .....</b>	<b>37</b>
6.1	Vue de dessus .....	37
<b>7</b>	<b>Exemples de produits finaux possibles basés sur le module SynFox.....</b>	<b>38</b>
7.1	Exemple 1 : Générateur RF 0 - 3 GHz à faible bruit / haute résolution / haute vitesse.....	39
7.2	Exemple 2 : Un analyseur de spectre simple "fully synthesized" à haute résolution de 0 à 1 GHz .....	41
7.3	Exemple 3 : Un récepteur "general coverage" SDR (Software Definable Radio) rapide, de 0 à 1 GHz pour PC.....	42
7.4	Exemple 4 : Un émetteur/récepteur "general coverage" SDR (Software Definable Radio) rapide, de 0 à 1 GHz pour PC .....	44
7.5	Exemple 5 : Un transceiver VHF / UHF / SHF "full coverage", "tous modes" (SSB, FM, AM, numérique) .....	45
<b>8</b>	<b>Installation du logiciel de contrôle PC sous Windows et brève présentation. ....</b>	<b>47</b>
8.1	Procédure d'installation.....	47
8.2	Documentation du logiciel.....	49
8.2.1	<i>Interface graphique fournie avec le kit.....</i>	<i>49</i>
8.2.2	<i>Configuration système .....</i>	<i>52</i>



## Références

1. Réf 1 : Mickaël Guenais, Stéphane Colomines, Hugues Beaulaton, Philippe Gorisse. "A 18 mW triple 2 GHz CMOS PLL for 3G mobile systems with -113 dBc/Hz GSM in-band phase noise and dual-port GMSK modulation". Radio Frequency Integrated Circuits (RFIC) Symposium, 2003 IEEE. 8-10 June 2003 Page(s):185 - 188.
2. Réf 2 : Stephen A Maas. "The RF and Microwave Circuit Design Cookbook". ARTECH HOUSE.
3. Réf 3 : Matjaz Vidmar. "Wideband & Low-Noise Microwave VCO". VHF Communications 4/98.
4. Réf 4 : Matjaz Vidmar. "No-Tune SSB Transceivers for 1.3, 2.3, 5.7 and 10GHz". DUBUS, ISSN Y 502-7128.
5. Réf 5 : Peter Vizmuller. "RF Design Guide. Systems, Circuits, and Equations". ARTECH HOUSE.
6. Réf 6 : Ulrich L. Rohde. "Digital PLL Frequency Synthesizers. Theory and Design". Pentice-Hall, Inc.
7. Réf 7 : Ulrich L. Rohde. "Microwave and Wireless Synthesizers: Theory and Design". John Wiley & Sons, August 1997, ISBN 0-471-52019-5
8. Réf 8 : Ulrich L. Rohde. "Designing Low-Phase-Noise Oscillators". QEX,ARRL Experimenter's Exchange, October 1994.
9. Réf 9 : Ulrich L. Rohde, A. K. Poddar, Juergen Schoepf, Reimund Rebel and Parimal Patel. "Low Noise Low Cost Ultra Wideband N-Push VCO". Synergy Microwave Corporation, Paterson, New Jersey, 07504, USA
10. Réf 10 : C Basso, C Fournet, and P Kadanka, Motorola Semiconductor. "Get the best from your low-dropout regulator". EDN, February/18/1999
11. Réf 11 : David S. M. Steinbach. "Oscillator Phase Noise Reduction Using Nonlinear Design Techniques". Thesis, Faculty of the Virginia Polytechnic Institute
12. Réf 12 : Heng-Chia Chang, Member, IEEE, Andrea Borgioli, Pochi Yeh, Fellow, IEEE, and Robert A. York, Senior Member, IEEE. "Analysis of Oscillators with External Feedback Loop for Improved Locking Range and Noise Reduction". IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 47, NO. 8, AUGUST 1999



## NOTES

**SigFox** reserves the right to make changes without further notice to any products herein. **SigFox** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **SigFox** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in **SigFox** specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **SigFox** does not convey any license under its patent rights nor the rights of others. **SigFox** products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the **SigFox** product could create a situation where personal injury or death may occur. Should Buyer purchase or use **SigFox** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **SigFox** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **SigFox** was negligent regarding the design or manufacture of the part. **SigFox** and the logo are registered. All other product or service names are the property of their respective owners.

