

PLVCXO DF9IC

DF9IC
F6DRO
F5LGJ

Abstract : Sur un montage conçu à la base par DF9IC , quelques mesures , améliorations et logiciels de programmation.

Les générateurs 10.x,xx Mhz :

En hyper , lors d'une tentative de QSO , le nombre d'inconnues est important : orientation , signal faible , fréquence. Si on est capable d'assurer une bonne précision en fréquence , la zone de recherche de signal s'en trouve réduite et donc le QSO moins aléatoire.

Sans remonter trop loin dans le temps, la base de la précision de nos OL a évolué ces dernières années pour tenter de résoudre ce problème. Tout d'abord , nous avons utilisé des OCXO thermostatés (DF9LN/G8ACE/F1JGP/F6BVA). Malheureusement l'effet de retrace des quartz se révèle rapidement très gênant, et le fait que l'oscillateur soit thermostaté ne résout pas tout , quelques km dans les chemins mal pavés provoquent ,par les vibrations induites, un décalage de l'oscillateur difficile à éviter.

C'est alors qu'est apparue l'approche 10Mhz (F9HX) : un OCXO professionnel utilisant un quartz à plus basse fréquence de taille différente permet d'éviter le fameux effet de retrace ou en tous cas à le rendre négligeable. Cette approche est tout à fait valable, mais au prix d'un nombre de réglages et de composants assez important.

Une autre solution consiste en l'utilisation de synthétiseurs (déjà implémentés auparavant , par F1GAS ou encore Qualcom). Malheureusement, les synthétiseurs génèrent du bruit de phase , qui sera d'autant plus gênant que le rang de multiplication sera important , et le montage sera inutilisable sur les bandes hautes.

Un progrès dans le bon sens a vu le jour lorsque CT1DMK a mis au point un synthétiseur à base de circuit EPLD de chez Altéra associé à un VCXO . G8ACE a réalisé sa propre version. A la base , le système fonctionne parfaitement bien , mais utilise des circuits Altéra , moins faciles à programmer que des PICS , et nécessite deux platines . Toutes les fréquences usuelles ne sont pas inscrites dans les fichiers de programmation du pavé Altéra , une fréquence spéciale nécessite l'intervention de CT1DMK qui protège ses fichiers afin d'éviter que n'importe quoi ne circule.

Depuis relativement peu de temps , un pavé synthétiseur est apparu chez Analog Device , qui semble particulièrement intéressant de part la qualité du signal fourni et notamment vis à vis de son faible bruit de phase.DF9IC a eu l'idée d'implémenter ce circuit . Moi même , en contact avec Henning l'ai réalisé , puis suite aux mesures de bruit de phase réalisées par F5LGJ , en collaboration avec DF9IC nous avons un peu amélioré les choses. Voyons les choses de plus prêt. A la base , n'oublions pas que DF9IC est le concepteur de ce montage.

L'ADF41xx :

L'ADF4110 est le benjamin de la série 4110/4111/4112/4113 , chacun des membres de la famille réalisant les même fonctions , mais sur des fréquences de plus en plus élevées (jusqu'à 4Ghz pour le 4113). Nous nous intéresserons uniquement au 4110 qui monte à 550Mhz , plus que suffisant pour notre application.

L'aspect particulièrement intéressant de ce circuit réside dans ses performances en terme de bruit de phase.

| | 0,5 | 0,5 | mA max | T _A = 25°C |
|---|-----------|-----------|------------|---|
| Low Power Sleep Mode | 1 | 1 | μA typ | |
| NOISE CHARACTERISTICS | | | | |
| ADF4113 Normalized Phase Noise Floor ⁶ | -215 | -215 | dBc/Hz typ | |
| Phase Noise Performance⁷ | | | | |
| ADF4110: 540 MHz Output ⁸ | -91 | -91 | dBc/Hz typ | @ VCO output |
| ADF4111: 900 MHz Output ⁹ | -87 | -87 | dBc/Hz typ | @ 1 kHz offset and 200 kHz PFD frequency |
| ADF4112: 900 MHz Output ⁹ | -90 | -90 | dBc/Hz typ | @ 1 kHz offset and 200 kHz PFD frequency |
| ADF4113: 900 MHz Output ⁹ | -91 | -91 | dBc/Hz typ | @ 1 kHz offset and 200 kHz PFD frequency |
| ADF4111: 836 MHz Output ¹⁰ | -78 | -78 | dBc/Hz typ | @ 300 kHz offset and 30 kHz PFD frequency |
| ADF4112: 1750 MHz Output ¹¹ | -86 | -86 | dBc/Hz typ | @ 1 kHz offset and 200 kHz PFD frequency |
| ADF4112: 1750 MHz Output ¹² | -66 | -66 | dBc/Hz typ | @ 200 Hz offset and 10 kHz PFD frequency |
| ADF4112: 1960 MHz Output ¹³ | -84 | -84 | dBc/Hz typ | @ 1 kHz offset and 200 kHz PFD frequency |
| ADF4113: 1960 MHz Output ¹³ | -85 | -85 | dBc/Hz typ | @ 1 kHz offset and 200 kHz PFD frequency |
| ADF4113: 3100 MHz Output ¹⁴ | -86 | -86 | dBc/Hz typ | @ 1 kHz offset and 1 MHz PFD frequency |
| Spurious Signals | | | | |
| ADF4110: 540 MHz Output ⁹ | -97/-106 | -97/-106 | dBc typ | @ 200 kHz/400 kHz and 200 kHz PFD frequency |
| ADF4111: 900 MHz Output ⁹ | -98/-110 | -98/-110 | dBc typ | @ 200 kHz/400 kHz and 200 kHz PFD frequency |
| ADF4112: 900 MHz Output ⁹ | -91/-100 | -91/-100 | dBc typ | @ 200 kHz/400 kHz and 200 kHz PFD frequency |
| ADF4113: 900 MHz Output ⁹ | -100/-110 | -100/-110 | dBc typ | @ 200 kHz/400 kHz and 200 kHz PFD frequency |
| ADF4111: 836 MHz Output ¹⁰ | -81/-84 | -81/-84 | dBc typ | @ 30 kHz/60 kHz and 30 kHz PFD frequency |
| ADF4112: 1750 MHz Output ¹¹ | -88/-90 | -88/-90 | dBc typ | @ 200 kHz/400 kHz and 200 kHz PFD frequency |
| ADF4112: 1750 MHz Output ¹² | -65/-73 | -65/-73 | dBc typ | @ 10 kHz/20 kHz and 10 kHz PFD frequency |
| ADF4112: 1960 MHz Output ¹³ | -80/-84 | -80/-84 | dBc typ | @ 200 kHz/400 kHz and 200 kHz PFD frequency |
| ADF4113: 1960 MHz Output ¹³ | -80/-84 | -80/-84 | dBc typ | @ 200 kHz/400 kHz and 200 kHz PFD frequency |
| ADF4113: 3100 MHz Output ¹⁴ | -80/-82 | -82/-82 | dBc typ | @ 1 MHz/2 MHz and 1 MHz PFD frequency |

¹The B chip specifications are given as typical values.
²This is the maximum operating frequency of the CMOS counters. The prescaler value should be chosen to ensure that the RF input is divided down to a frequency that is less than this value.
³AC coupling ensures AV_{OP}/2 bias. See Figure 33 for a typical circuit.
⁴Guaranteed by design.
⁵T_A = 25°C; AV_{DD} = DV_{DD} = 3 V; P = 16; SYNC = 0; DLY = 0; RF_{IN} for ADF4110 = 540 MHz; RF_{IN} for ADF4111, ADF4112, ADF4113 = 900 MHz.
⁶The synthesizer phase noise floor is estimated by measuring the in-band phase noise at the output of the VCO, PN_{REF}, and subtracting 20logN (where N is the N divider value) and 10logF_{REF}: PN_{REF} = PN_{OUT} - 10logF_{REF} - 20logN.
⁷The phase noise is measured with the EVAL-ADF411x/E1 evaluation board and the HP8562E spectrum analyzer. The spectrum analyzer provides the REFIN for the synthesizer f_{REF} = 10 MHz @ 0 dBm, SYNC = 0, DLY = 0 (Table 7).
⁸f_{REF} = 10 MHz; f_{PD} = 200 kHz; offset frequency = 1 kHz; f_c = 540 MHz; N = 2700; loop B/W = 20 kHz.
⁹f_{REF} = 10 MHz; f_{PD} = 200 kHz; offset frequency = 1 kHz; f_c = 900 MHz; N = 4500; loop B/W = 20 kHz.
¹⁰f_{REF} = 10 MHz; f_{PD} = 30 kHz; offset frequency = 300 kHz; f_c = 836 MHz; N = 27867; loop B/W = 3 kHz.
¹¹f_{REF} = 10 MHz; f_{PD} = 200 kHz; offset frequency = 1 kHz; f_c = 1750 MHz; N = 8750; loop B/W = 20 kHz.
¹²f_{REF} = 10 MHz; f_{PD} = 10 kHz; offset frequency = 200 kHz; f_c = 1750 MHz; N = 175000; loop B/W = 1 kHz.
¹³f_{REF} = 10 MHz; f_{PD} = 200 kHz; offset frequency = 1 kHz; f_c = 1960 MHz; N = 98000; loop B/W = 20 kHz.
¹⁴f_{REF} = 10 MHz; f_{PD} = 200 kHz; offset frequency = 1 MHz; f_c = 3100 MHz; N = 310000; loop B/W = 20 kHz.

Cela valait le coup de l'essayer.

Mais le bruit de phase du circuit synthétiseur n'est pas tout : il est responsable du bruit de phase de la PLL. En sortie on se trouve confronté à du bruit de phase composite qui est du :

- Pour partie au bruit de phase de la référence (aux faibles écarts de fréquence).
- Puis au bruit de la PLL (évoqué précédemment).

-Et plus loin en écart fréquentiel , le bruit de phase du VCO.

Bien sur si l'un d'entre eux est majoritaire, il peut masquer celui des autres.

Le bruit de la PLL est ce qu'il est : relativement bon dans le cadre de l'ADF4110.

La référence est maîtrisable . Pour des besoins de précision finale de la fréquence , la référence sera soit un 10Mhz issu d'un OCXO pro , soit un OCXO OM réalisé avec soin (9HX,G8ACE), soit encore le 10Mhz issu d'un système GPS. Si on prend soin de bien choisir cette référence, on arrive a de très bons résultats. Rappelons ce qui va compter ici , c'est le bruit à 10 Mhz ramené par multiplication à 100Mhz (donc 20db plus élevé suivant la loi 20log N). On évitera les sources précises mais à bruit de phase médiocre.

Le VCXO utilisera un oscillateur à quartz overtone éprouvé. Il devrait pouvoir donner des résultats très satisfaisants.

C'est ce que DF9IC a réalisé et nous allons en étudier les aspects de plus près.

Le VCXO :

L'idée est la suivante : puisque les dérives en fréquence seront compensées par le verrouillage sur le 10 Mhz , inutile ici de réaliser une usine (mais quand même prévoir une possibilité de « tirage » de la fréquence permettant de se sortir des problèmes causés par une dérive extrême). Le choix s'est donc porté sur un circuit popularisé par DJ7VY en son temps : le simple JFET en grille à la masse , réputé se comporter correctement en terme de bruit de phase.

Un peu de théorie ne nuisant jamais , quelques élucubrations de ma part Je mets en Italique , comme ça , ceux que ça n'intéresse pas pourront attendre au prochain carrefour :0)

Etude du VCXO (en mode linéaire) :

L'étude d'un oscillateur peut se réaliser d'au moins deux façons différentes :

-Un oscillateur peut être représenté comme un circuit bouclé , en substance un amplificateur , contre réactionné par une boucle comportant dans notre cas un résonateur. Sous certaines conditions d'amplitude et de phase , le système va se mettre à osciller sur la fréquence du résonateur.

-Une autre méthode consiste à considérer un oscillateur comme étant la connexion de deux dipôles , l'un actif , l'autre passif.

Le dipôle passif sera ici un résonateur (le quartz).

Le dipôle actif sera ici le Jfet et les composants qui l'entourent.

Le dipôle passif, possède des caractéristiques dépendant de la fréquence, et entre autre des pertes résistives.

Si le dipôle actif présente une impédance dont la partie réelle est négative , alors suivant le rapport existant entre les pertes du passif compensées ou pas par la résistance négative du dipôle actif , le système va devenir un oscillateur.

Les deux méthodes d'étude se valent , et suivant ce qu'on souhaite étudier , l'une ou l'autre donne une approche plus simple. Par exemple pour étudier les conditions de démarrage de l'oscillation , la deuxième méthode est plus simple que la première.

Comme j'ai rarement vu cette méthode vulgarisée dans la bibliographie amateur, je vais aborder le problème par ce bout là.

Le dipôle passif (quartz overtone) :

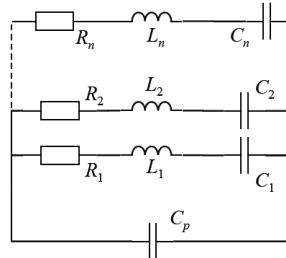


Figure 11. Modèle équivalent du quartz.

Le quartz ,en première approximation est équivalent à un résonateur série accordé sur la fréquence désirée (ici 106.5Mhz par exemple quartz overtone 5).

Malheureusement un certain nombre de composants supplémentaires viennent se greffer sur le schéma simple qu'on pourrait utiliser.

- 1) La mise en boîtier (métallisation des faces) provoque l'apparition d'une capa parasite intervenant en parallèle sur le résonateur que nous venons de voir.
- 2) Un certain nombre de résonances parasites apparaissent.
 - Certaines sont fortes mais bien isolées en fréquence du mode principal (par exemple les autres overtones du quartz)
 - Certaines sont fortes et à proximité du mode désiré.
 - D'autres encore sont faibles mais proches ou lointaines du mode désiré

Chacune de ces résonances peut être modélisée par un nouveau résonateur ajouté dans le modèle du quartz , rendant le schéma équivalent de plus en plus complexe.

On se rend maintenant compte de la difficulté principale de réalisation d'un oscillateur à quartz overtone : on veut qu'il démarre là où on le souhaite et pas sur une résonance parasite , ou encore pas sur la capacité parallèle du quartz.

Afin d'éviter que le proceedings de CJ ne devienne aussi gros qu'un annuaire de la région Parisienne , nous n'allons nous intéresser ici qu'au résonateur du mode qu'on utilisera (Overtone 5) et à la capacité parallèle de ce quartz qui sera le principal élément « gênant ».

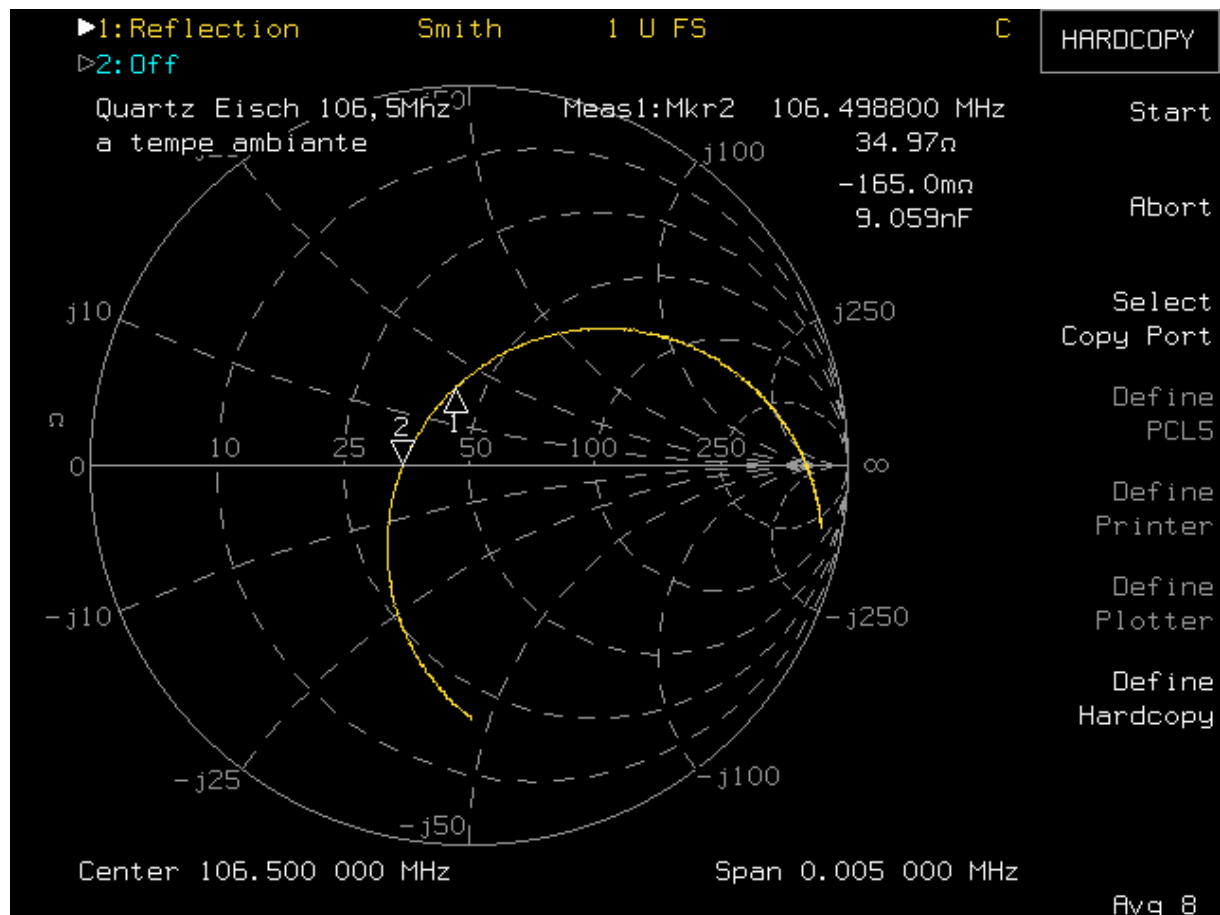
Etablissement du modèle équivalent du quartz utilisé :

Pourquoi établir un modèle du quartz ? Tout simplement pour pouvoir l'utiliser dans un simulateur de circuit.

Tracé de la caractéristique de transfert en mode dipôle du quartz utilisé :

Nous travaillerons à proximité de la résonance désirée, soit 106.5Mhz.

Mesure du quartz à l'analyseur de réseau :



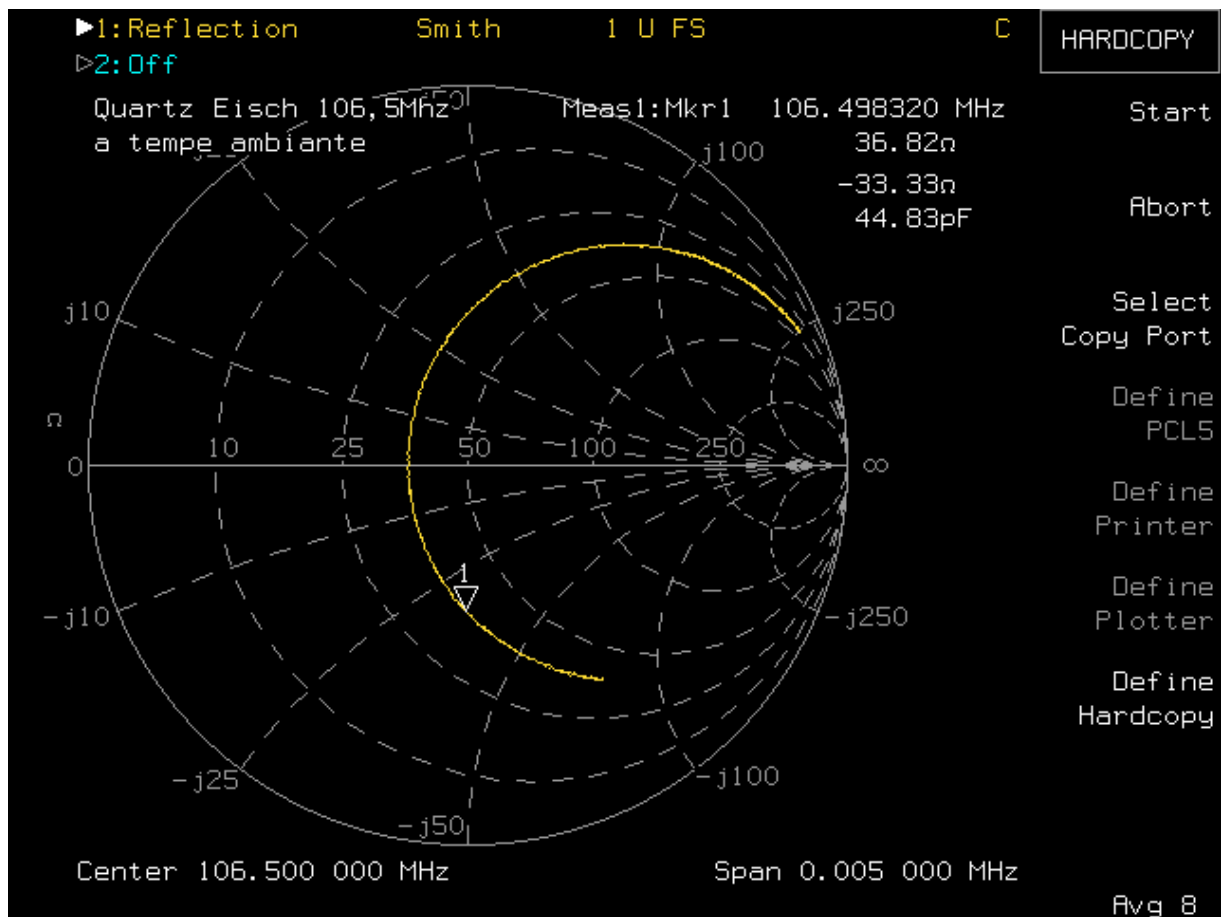
Nous constatons que :

La résonance série du quartz est équivalente, au point de vue circuit à un réseau RLC série.

Sur Smith , un réseau RLC série est aligné sur un cercle à partie réelle constante., Hors ici , il est manifeste que cette fonction de transfert n'est pas respectée. Pourquoi ? Tout simplement parce que la capacité parallèle du quartz décale la réponse.

Comme nous désirons calculer les éléments du résonateur série, il nous faut nous affranchir de cette capacité. L'analyseur de réseau nous en donne la possibilité par l'intermédiaire de la fonction « phase offset ». Nous allons déphaser l'ensemble de la réponse de façon à ce qu'elle soit alignée sur un cercle à partie réelle constante , ainsi nous aurons fait disparaître l'influence de la capacité parallèle au niveau de la mesure.

Après mise en place du phase offset :



A partir de cette caractéristique de transfert nous pouvons calculer les différents paramètres du modèle (cf CJ2008 pour détail des calculs) :

$F_{série}=106.498930\text{Mhz}$ (la compensation de la capacité parallèle a augmenté la fréquence de résonance série).

$Q_0=106.498930/2*0.000575=92607.7$ (Le Q_0 est proche de 100000 , le quartz est de bonne qualité).

$R_s=36.34\text{ Ohms}$.

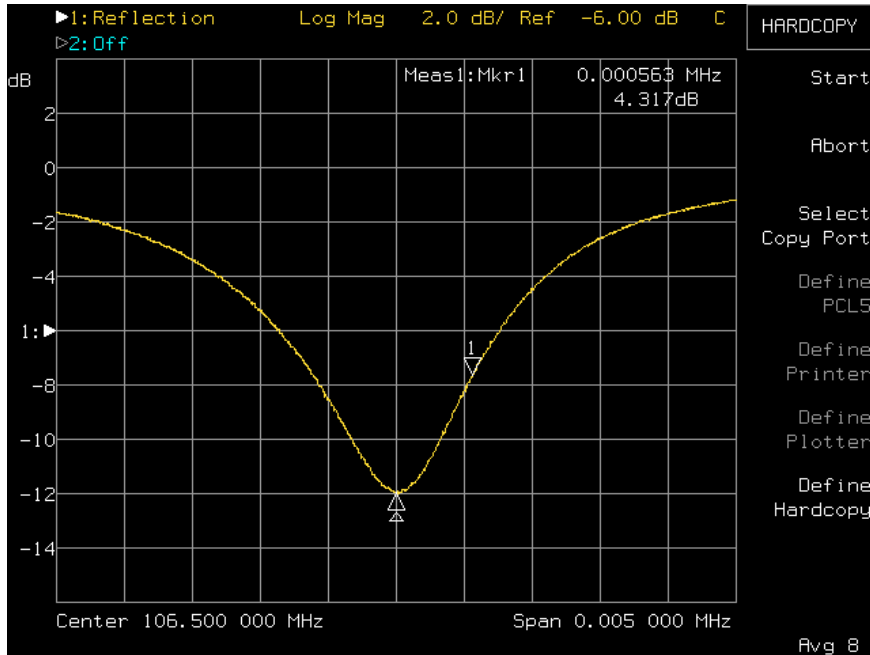
$L_s=R_s*Q_0/\Omega_s=5.0292969079\text{ mH}$ (nombre de décimales nécessaire pour obtenir la bonne fréquence de résonance du modèle).

$C_s=4.440616137\text{ e-16F}$

$C_p=7.5\text{pF}$

Compensation de la capacité parallèle de 7.5pF :nécessite 300nH en parallèle (pour faire résonner 7.5pF à 106.5Mhz)

Ce qui donne :



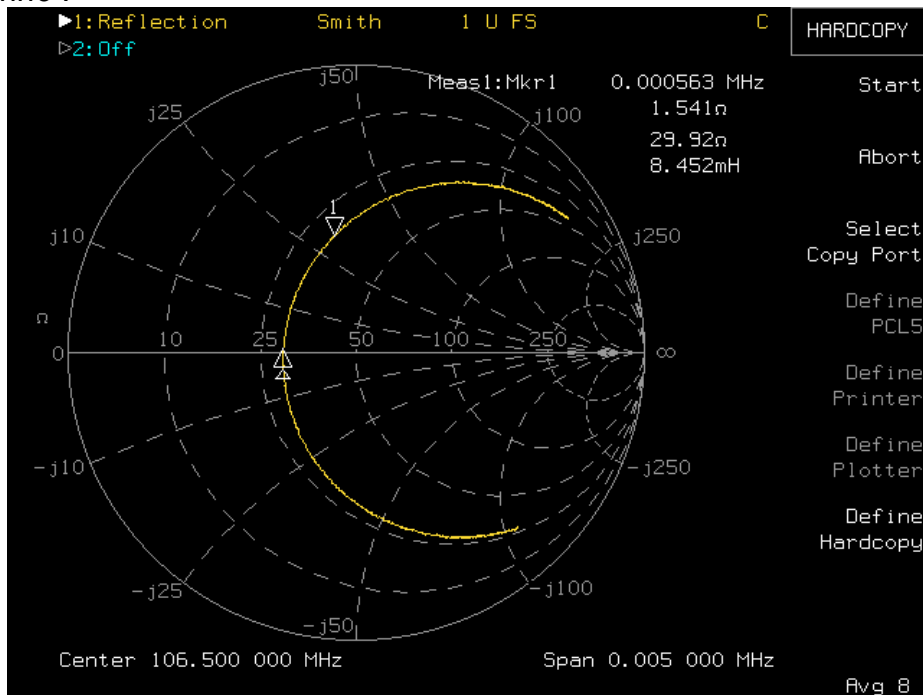
NB : pour une capa parfaitement compensée , la courbe ci-dessus sera parfaitement symétrique , ici , comme j'ai réalisé la compensation avec une self fixe , sa valeur n'est pas exactement adaptée ,il y a une légère dissymétrie , mais c'est quand même tout à fait correct.

Capacité de charge :

Le lecteur observateur remarquera un fait :la fréquence de résonance série n'est pas 106.5Mhz.C'est normal les constructeurs de quartz (mais pas tous) demandent de préciser lors de la commande une valeur de capacité de charge sur laquelle le quartz doit être connecté pour obtenir la bonne fréquence , à charge au client d'en assurer la présence.

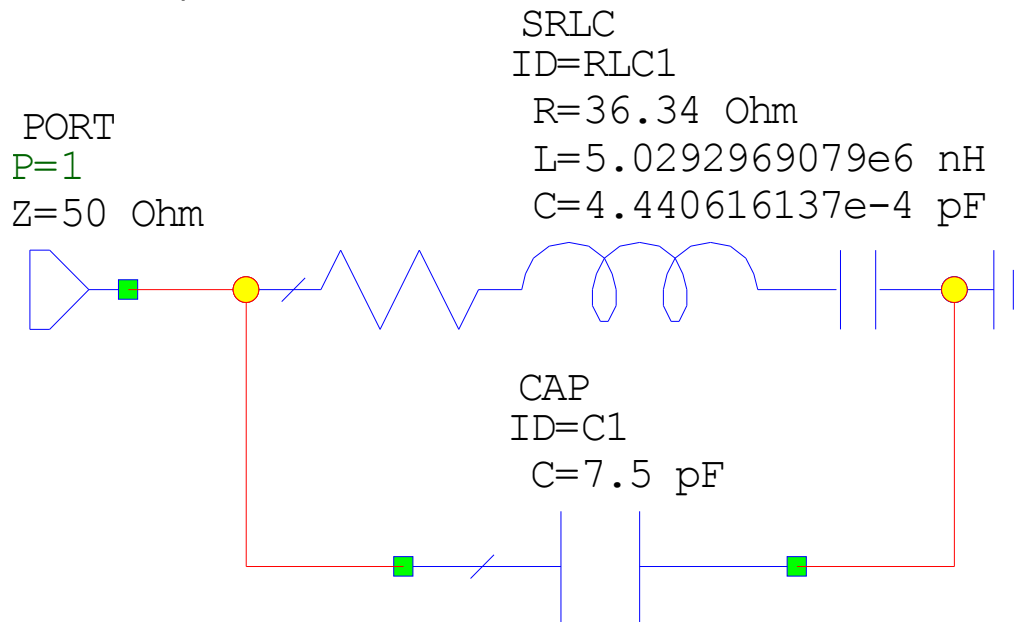
La capa série nécessaire est de 25pF.

Ce qui donne :

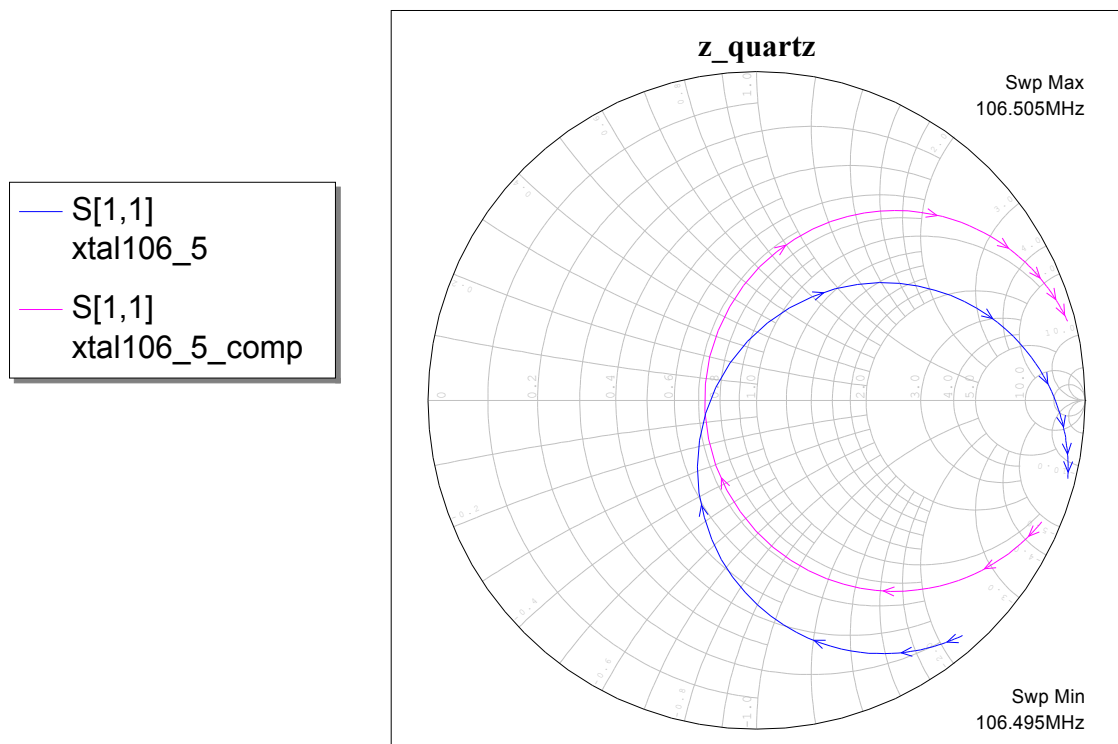


Cette fois , c'est parfaitement centré à 106.50000

Modèle du quartz :



Ce qui donne sur le logiciel de simulation :



NB : ci-dessus , le quartz seul , puis compensé par 300nh.

Tirage du quartz :

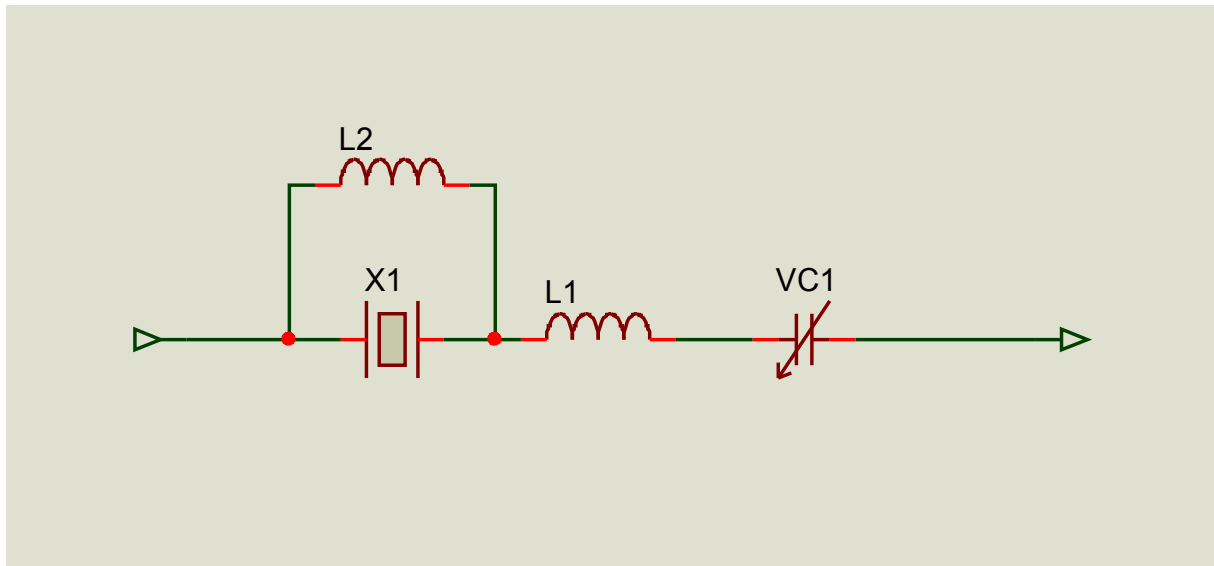
Dans notre application, nous avons besoin de recaler l'oscillateur sur la fréquence attendue, par l'intermédiaire de la tension d'erreur fournie par la PLL. Celle-ci va se situer entre 0 et 5V. La logique veut que pour 2.5V de tension de commande, l'oscillateur fonctionne sur 106.5, et que pour les deux extrêmes 0 et 5V on soit capable de compenser quelques Khz d'erreur, disons +/-2 Khz au total.

Rappel : Une inductance en série avec le quartz, augmente l'inductance globale et donc provoque une diminution de la fréquence de résonance apparente.

Une capacité en série diminue la capacité globale, et donc provoque une augmentation de la fréquence de résonance apparente.

Le seul composant courant susceptible d'être utilisé, c'est la varicap. Le dispositif de tirage devra donc comporter :

Une self en série permettant de s'assurer que la fréquence la plus basse est compatible avec notre exigence donc lorsque la commande est à 0V et que la capacité des varicaps est au maximum.



La capacité VC1 qui sera réalisée avec plusieurs varicaps en série, permettant d'obtenir à la fois la bonne valeur de capacité et le bon ΔC . La self L2 a déjà été évoquée, c'est elle qui permet de compenser la capacité parallèle du quartz. La self de padding L1 permettra de caler la fréquence la plus basse, sa valeur sera obtenue expérimentalement, car elle dépend des paramètres du quartz, elle pourra même être absente selon la fréquence de résonance propre du quartz.

Les composants externes ajoutés, en l'occurrence les pertes de ces composants, vont intervenir que le Q du résonateur. Pour caractériser ces composants, et en particulier pour les varicaps utilisées, il faudrait pouvoir mesurer leurs paramètres S. malheureusement, je n'ai plus cette possibilité....Le seul juge de paix sera alors la bruit de phase global mesuré sur la maquette.

Le dipôle actif (partie réelle de l'impédance négative) :

Il y aurait ici beaucoup à commenter. Les structures d'oscillateur que nous utilisons ne tombent pas du ciel, et il y a des justifications théoriques très instructives.

De même, on peut s'intéresser aussi au rapport qu'il doit y avoir entre les modules de la résistance de pertes du dipôle passif, par rapport à la résistance négative du dipôle actif (entre autres, notions de démarrage de l'oscillateur). Mais comme je ne voudrais pas tenir tout le proceedings à moi tout seul, je passerai pour l'instant ces notions sous silence.

Particularité des oscillateurs overtone :

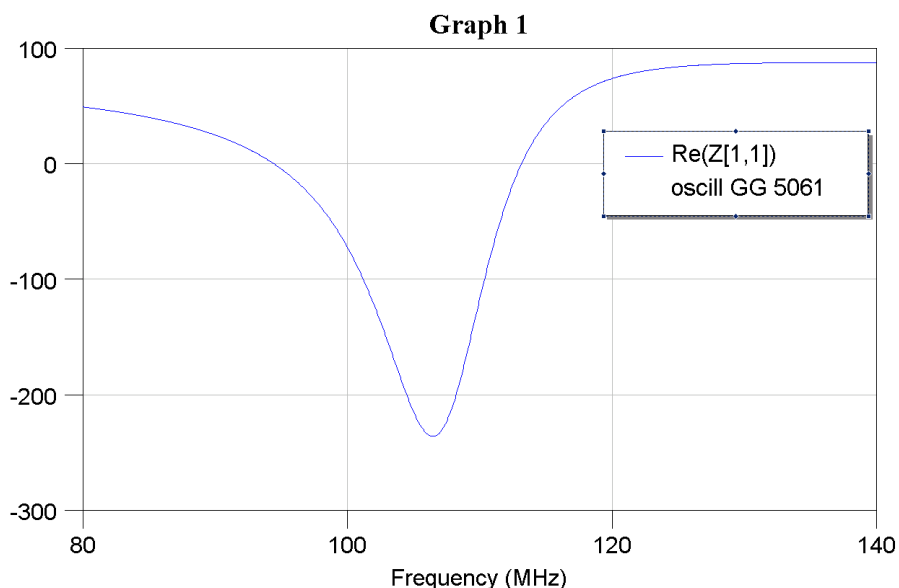
Quand on réalise un oscillateur utilisant un quartz en mode fondamental, on ne se pose pas trop de questions : on présente au dipôle passif une résistance négative, le dipôle actif présente cette résistance sur une gamme fréquentielle qui peut être relativement large sans risque.

Dans le cas des oscillateurs utilisant des quartz en mode overtone il faut être prudent. Le quartz présente des résonances sur les divers modes du quartz, mais aussi il présente des résonances parasites qui sont souvent assez proches de la fréquence désirée. Il en est de même pour la possibilité d'osciller sur la capacité parallèle du quartz quand celle ci n'est pas compensée (d'où l'absolue nécessité de compenser).

Pour éviter un fonctionnement possible là où on ne le désire pas, on va « localiser » la fréquence à laquelle aura lieu cette caractéristique, c'est à dire ici, dans l'exemple choisi aux alentours de 106.5Mhz.

Henning DF9IC a choisi d'utiliser un oscillateur simple, à base de JFET en grille commune.

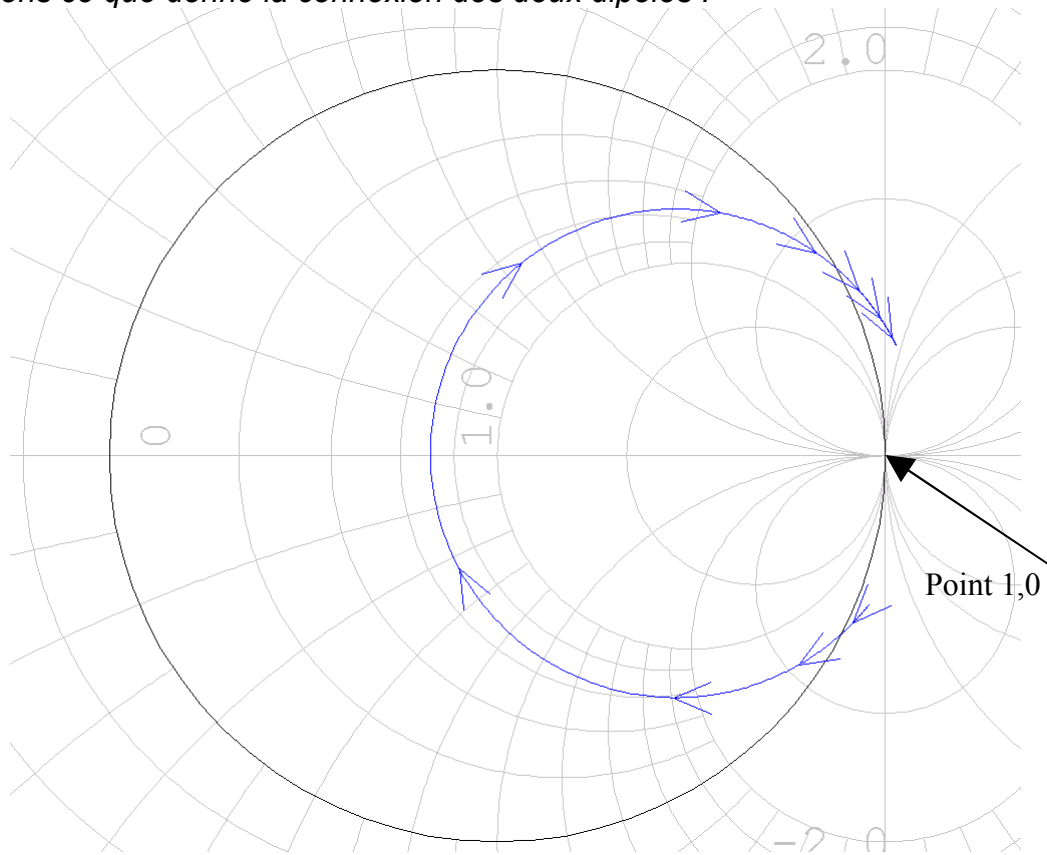
Voyons ce que ça donne en simulation :



On constate qu'effectivement entre les bornes normalement connectées au quartz, une résistance négative d'environ -250 ohms est présente. En jouant sur la valeur de la self 5061, on « ballade » la caractéristique, le jeu étant ici d'amener la résistance négative sur 106.5Mhz.

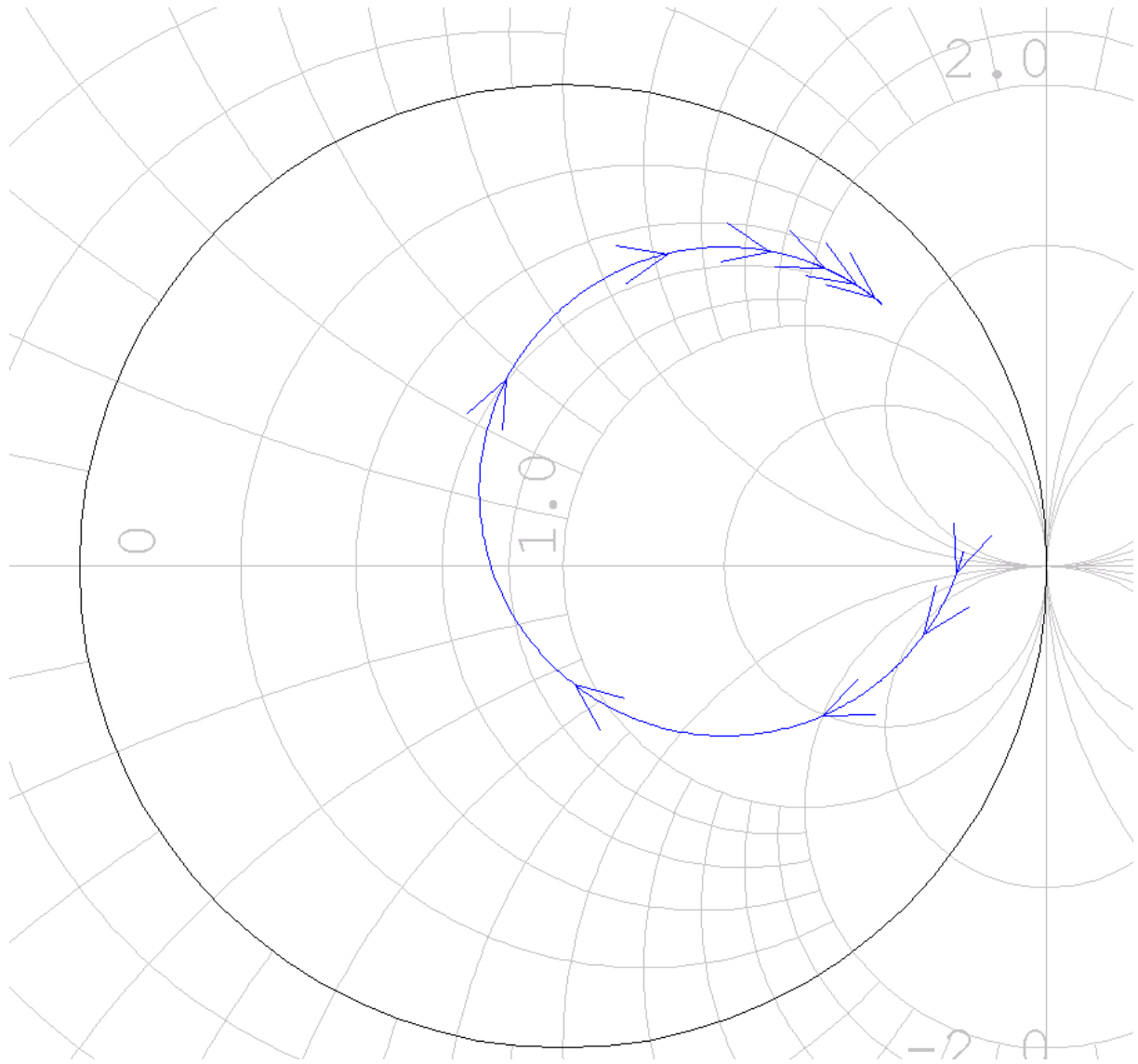
NB : la connexion du dipôle actif sur une résistance de valeur convenable donnera lieu à...un oscillateur , on utilisera cette propriété pour pré- régler notre dipôle actif et vérifier que la plage de réglage de la self permet bien de se synchroniser sur la fréquence désirée.

Et voyons ce que donne la connexion des deux dipôles :



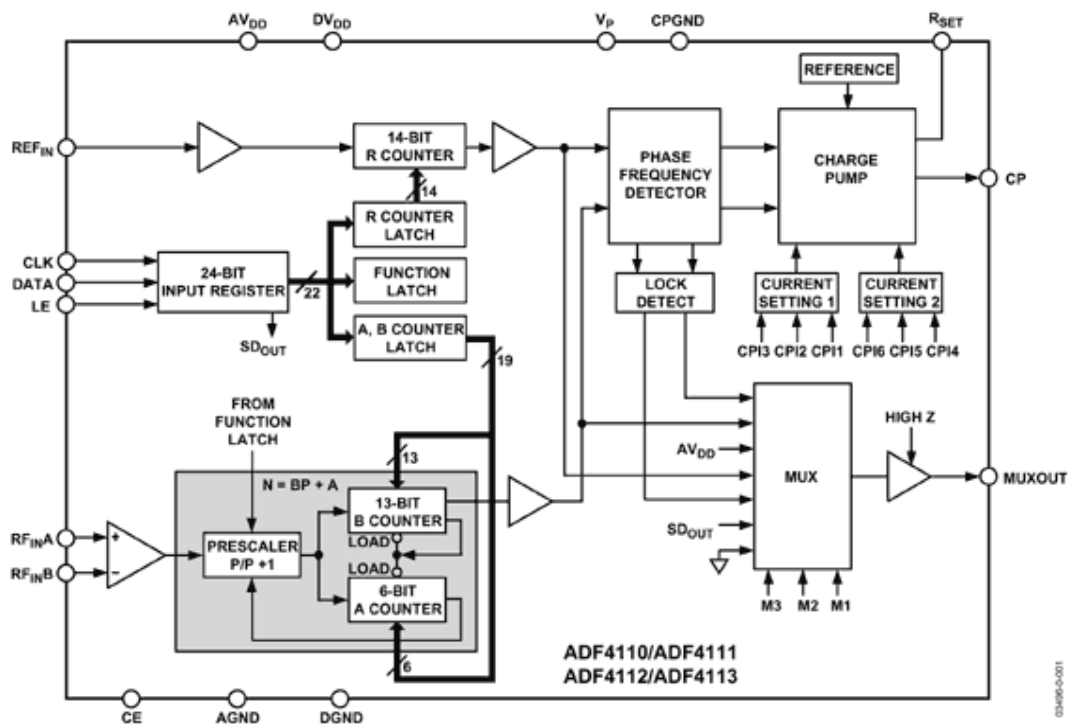
On trace ici le produit des coefficients de réflexion du quartz et du dipôle actif. Si tout va bien , le lieu sur Smith doit entourer le point 1,0 , ce qui est le cas ici. On entoure ce point à 106.5Mhz , l'oscillateur à donc toutes les chances de démarrer sur cette fréquence. Ceci a été obtenu pour un certain réglage de la self.

ATTENTION : les simulations réalisées ici , le sont à partir des paramètres S des divers éléments. Ces paramètres S ne sont valides qu'en petits signaux. Au moment où l'oscillateur démarre , on est en petit signaux , mais ensuite l'amplitude de l'oscillation (si les conditions permettent d'obtenir une oscillation entretenue) va augmenter jusqu'à ce qu'une limitation intervienne , et nous ne seront plus en régime linéaire , la fréquence établie sera légèrement différente. Une simulation en grands signaux dite « Harmonic Balance » serait intéressante ici pour cerner les choses de plus près. Néanmoins , ca n'est pas vraiment un problème pour nous , la 5061 et les éléments extérieurs nous permettrons de recalculer le quartz au bon endroit.



Ci-dessus , la self a été dérégulée , le lieu n'entoure plus le point 1,0 , l'oscillateur ne peut pas démarrer , ou a décroché.

LA PLL : ADF4110



Fréquence de comparaison :

Le comparateur de phase reçoit la fréquence de comparaison obtenue à partir de la référence divisée par le compteur R.

Ici, la référence externe choisie est de 10Mhz, afin d'obtenir une précision très bonne, soit par l'utilisation du 10Mhz issu d'un GPS, soit encore en utilisant un OCXO pro 10Mhz que l'on trouve couramment en vente via diverses sources.

Le problème consiste à choisir la fréquence de comparaison.

Contrairement à l'habitude, Henning a choisi de réaliser un système universel, c'est à dire qu'il voulait un seul et unique filtre de boucle compatible avec tous les choix possibles de fréquences pour toutes les fréquences que nous utilisons.

Certaines de celles-ci nécessitent un pas relativement fin (exemple $1296 > 28$: $OL=1268$, quartz 105.666666). Ces fréquences sont possible à obtenir car elles sont multiples de $1/288$ ou $1/320$, $1/432$ ou encore $1/384$.

Il a donc décidé de choisir une division par 2880, 4320, etc suivant ce qu'on désire obtenir, de façon à ce que la fréquence de comparaison soit proche de $2 \times KHz$.

Cette fréquence de comparaison relativement basse, va à l'encontre des usages vis à vis du bruit de phase, mais comme la PLL est très bonne et que le VCO est réalisé à partir d'un quartz, on s'en tire très bien.

Obtention de la fréquence finale :

On réalise dans cette PLL $N=BP+A$. A nous de déterminer la valeur de N désirée , puis d'en déduire à partir d'un choix effectué pour P (8,16,32 ou 64) ; les valeurs de A et de B.

C'est ce que j'ai fait pour l'ensemble des fréquences possibles grâce à un fichier EXCEL « home made ».

Il faut ensuite programmer les registres internes au 4110 avec les valeurs trouvées. Ce travail est dévolu à un PIC.

Henning , toujours dans un souci d'universalité , à choisi la solution PIC unique pour toutes les QRG usuelles , le choix se faisant par des straps.

J'ai donc réalisé le programme en y adjoignant , comme prévu sur le schéma d'origine , l'affichage du « LOCK », ainsi qu'une LED « erreur » indiquant qu'une QRG erronée a été choisie.

Une ample réserve de fréquences a également été prévue , permettant d'en ajouter par la suite.

On ne sait jamais : un miracle est toujours possible , une nouvelle bande peut nous être attribuée !!!

Plus sérieusement, on peut accommoder certaines QRG exotiques, dues , par exemple ,à l'utilisation de briques à facteurs de multiplication non usuels.

Le but n'est pas ici de détailler le soft. Ceux qui veulent des détails, me demanderont.

NOTONS AU PASSAGE QUE LES DIVERS CONTRIBUTEURS SONT TOUS D'ACCORD POUR QUE LES DIFFUSIONS SOIENT GRATUITES. On n'aimerait pas que certains se fassent du pognon sur le dos des autres, comme c'est arrivé sur d'autres réalisations avant.

Le filtre de boucle :

Là encore , tout est question de compromis . Une bande passante de la boucle égale au 1/10 de la fréquence de comparaison est souvent recommandée (donc ici , environ 200Hz). Après quelques simulations , on s'aperçoit que ce n'est pas l'idéal. Henning à donc choisi 50Hz de bande de boucle , et le schéma de filtre recommandé par Analog Devices. Reste à voir ce que ça donnera en bruit , mais aussi en vitesse de verrouillage.

-----Fin des élucubrations-----

Réalisation d'une maquette de test :

A partir des informations fournies par Henning (http://www.df9ic.de/doc/2008/dorsten_2008/dorsten08_plvcxo.pdf) , une maquette de test a été montée et un logiciel de test écrit (version simplifiée , sans table de QRG).

-On câble d'abord l'oscillateur seul , et on alimente la bête en appliquant aussi une alimentation réglable sur la commande du VCO (0/5V). On procède d'abord sans le quartz , avec l'alimentation réglable ajustée à 2.5V, on le remplace par résistance de 33 ohms et on vérifie que la plage de réglage de la 5061 permet d'obtenir la bonne fréquence , si ça n'est pas le cas , revoir le couple C5/C6.

Si le couple C5/C6 ne permet pas de couvrir la fréquence désirée **INUTILE D'ALLER PLUS LOIN** , il faut résoudre ce problème.

-Mettre le quartz en place si tout va bien (ne pas oublier la self de compensation du quartz) . Toujours avec V commande =2.5V obtenir la QRG centrale désirée (via la 5061) , puis vérifier que la plage d'oscillation est correcte. Pour le quartz utilisé (106.5Mhz) , je n'ai pas eu besoin d'utiliser de self série. Si la plage ne convient pas essayer de mettre une ou deux selfs en L6/L7 (tester plusieurs valeurs jusqu'à ce que tout aille bien).

Si la plage de tirage n'est pas correcte (+/-1.5 est acceptable , plus large , c'est mieux) **INUTILE D'ALLER PLUS LOIN**.

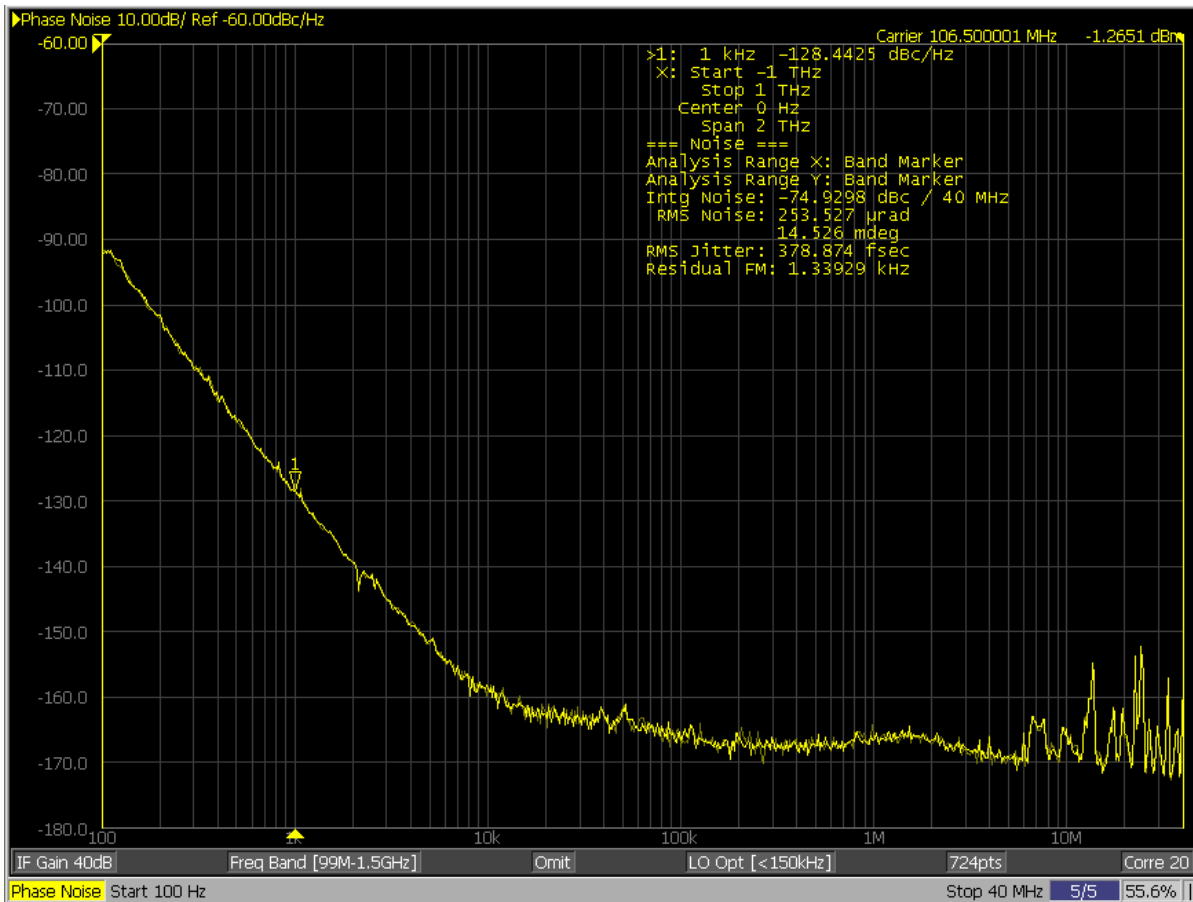
Ensuite la PLL a été ajoutée , et le verrouillage a été instantané. Quelques tests de vitesse de verrouillage se sont révélés satisfaisants , mais j'avais remarqué qu'il y avait un léger défaut d'isolation (certaines charges font décrocher l'oscillateur). En effet, une charge de valeur élevée en sortie , vue au bout d'un câble dont la longueur est proche de $\lambda/4$ provoque le décrochage . A voir ultérieurement. Le niveau de sortie est de l'ordre de 0 à -1dbm sur les maquettes réalisées jusqu'à maintenant , c'est OK dans la plupart des cas.

Bon , c'est bien beau : ca fonctionnait , mais quid des performances en bruit de phase ? Henning avait fait des mesures très appétissantes chez DB6NT, mais je souhaitais confirmer...

C'est alors qu'Olivier F5LGJ a pris le relais pour faire les mesures , et s'en est suivi une correspondance afin de réaliser des tests et améliorations.

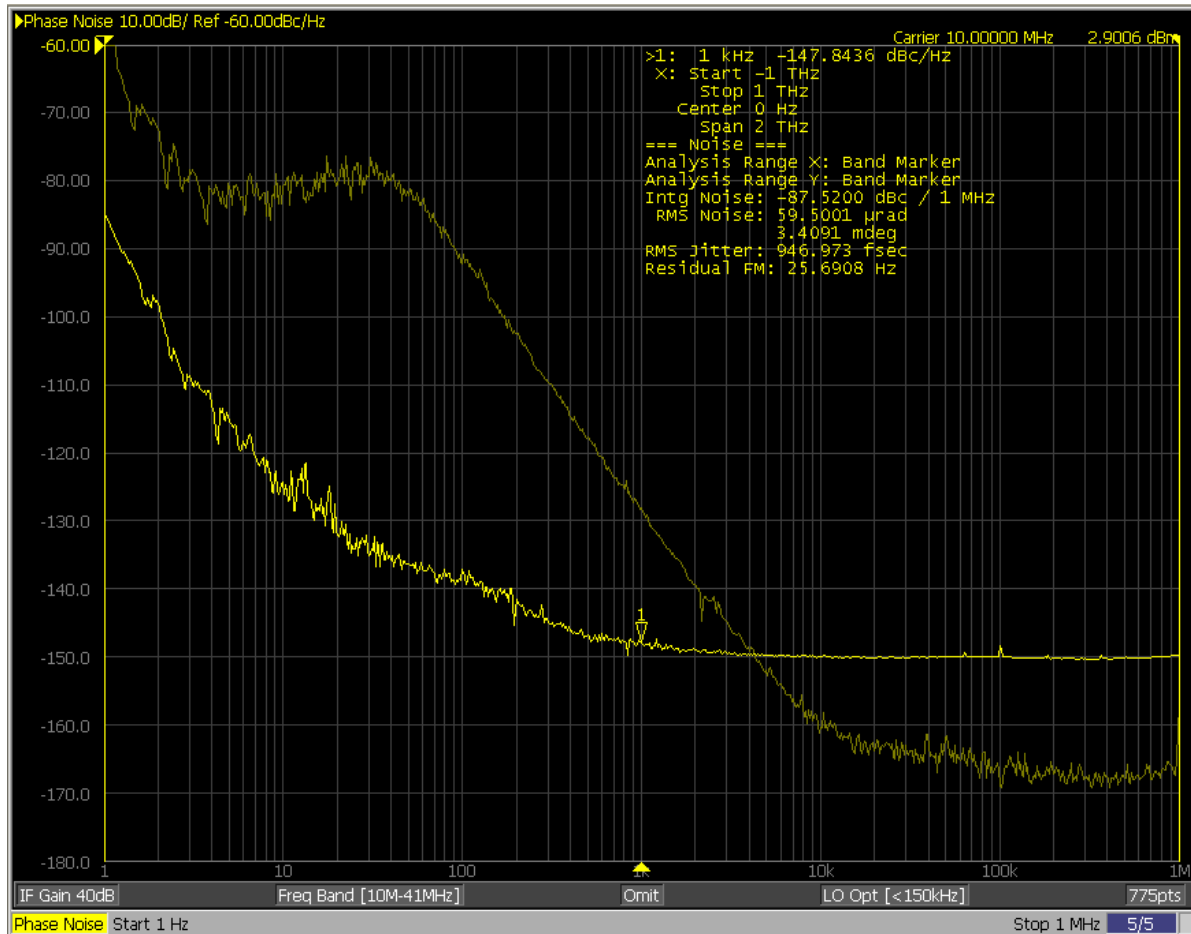
Les mesures de bruit de phase :

Première mesure :



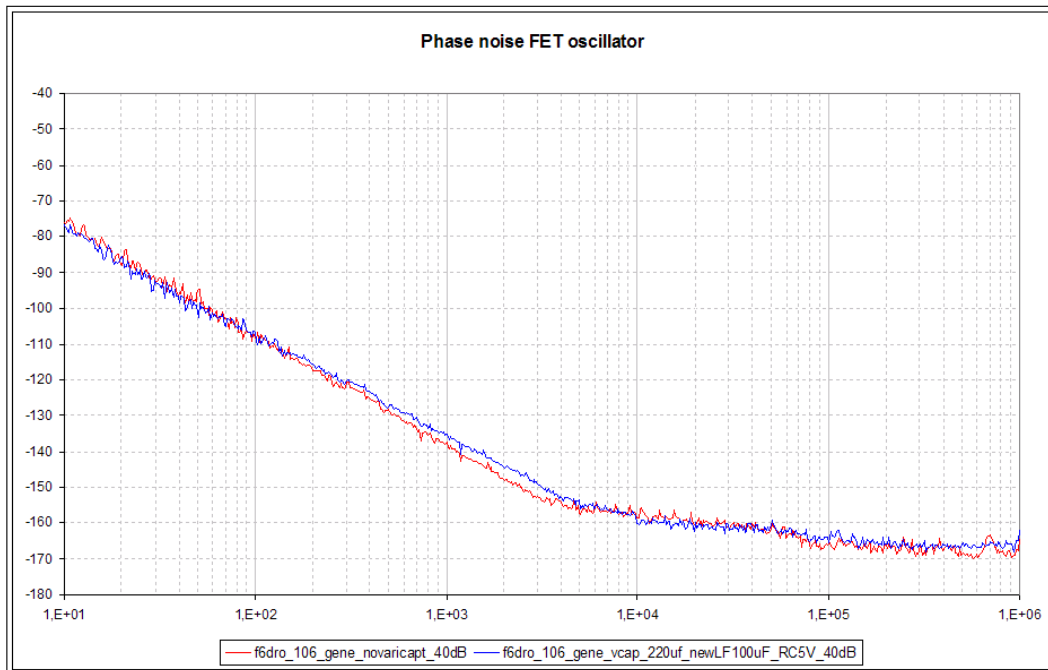
Bruit de phase :, c'est très encourageant et similaire à ce qu'Henning a mesuré. Manifestement, on tenait le bon bout ! A 1Khz d'offset , on est identique à DF9LN et supérieur à lui à partir de 5Khz.En lointain on est bien meilleur (mais est-ce utile ?). Aux faibles offsets , on est un peu moins bon , mais ça n'est pas gênant .

Deuxième mesure , Olivier décide de regarder ce qui se passe aux faibles offsets :



En référence , le bruit du géné 10Mhz utilisé. Le point de départ , pour l'offset 1Hz est déterminé par le bruit de la référence ayant subi un facteur $20\log N$ avec $N=100\text{Mhz}/10\text{Mhz}=10$, donc 20db de dégradation. **Il faut donc utiliser une référence de bonne qualité.** Puis un peu plus loin , à 100 Hz , une remontée. , normalement, c'est le bruit de la PLL qui domine dans la bande de boucle , mais est ce si sur dans ce cas ? On voit ensuite ce bruit diminuer avec une pente de 40db/décade , cela pourrait il être meilleur avec un meilleur oscillateur que celui à Jfet ?

C'est là qu'on a voulu vérifier que les varicaps, qui ont généralement mauvaise réputation , ne venaient pas entacher le bruit à 100Hz.



On s'aperçoit ci dessus , qu'entre l'oscillateur seul sans les varicaps , et la PLL modifiée pour obtenir un asservissement à très , très basse fréquence , il n'y a pas de différence , donc :

Pas de défaut majeur sur l'oscillateur à Jfet , les varicaps ne posent pas de pb majeur. La remontée de bruit à 100Hz est bien due au bruit de la PLL.

Accessoirement, il a été constaté par Olivier , qu'une amélioration du filtrage 5 et 8V permettait de gagner 3db sur le bruit.

Que faire ?

La question se posait : la remontée de bruit à 100hz est là , mais pas déterminante , et peu gênante en pratique . On laisse comme ça , où on diminue la bande de boucle ? Il a été décidé de tenter le coup et de voir si ça posait problème au niveau rapidité de verrouillage.

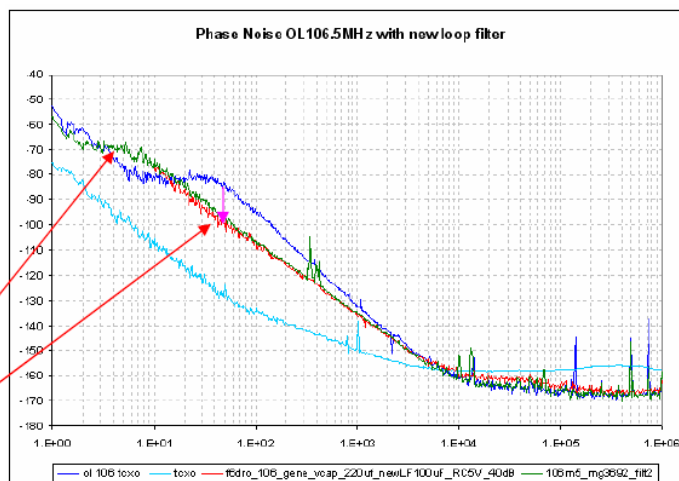
Un nouveau filtre de boucle a été mis en place (7Hz) et a donné les résultats suivants :

Mesure de bruit de phase

En haut : ancien filtre
Au milieu : oscillateur seul et PLL avec nouveau filtre : quasi superposés
En bas : le 10Mhz

Augmentation du bruit (BW)

Diminution du bruit attendue



Le bruit de phase du PLVCXO est confondu avec celui du VCXO , le prix à payer est une légère remontée aux très faibles offsets.

On est donc parvenu à quelque chose de très satisfaisant. Les mesures effectuées sur la vitesse de verrouillage laissent apparaître un temps d'attente tout à fait acceptable , de l'ordre de 10 à 15 secondes au pire.

Autre tests :

Un test sévère en température a été effectué : le montage arrêté est placé 1 journée et demie au congélateur par -25°C , puis l'alimentation est appliquée. Pour ce test réalisé une dizaine de fois , le démarrage et verrouillage a été parfait. Il semble qu'on n'ai pas à craindre les grands froids avec ce montage (test réalisé sans chauffage de quartz , bien sur).

Lors de ces tests , le même défaut d'isolation a été constaté , quelques émotions : le montage ne se verrouillait pas , jusqu'à ce que je m'aperçoive que j'étais sur l'entrée 1Mohm du fréquencemètre , sur l'entrée 50 ohms : pas de soucis. Il y aura donc lieu d'améliorer cet état de fait.

Une mesure des spurious là où la dynamique de mon analyseur me permettait de le faire a montré une réjection d'au moins 100db. Aux faibles écarts par rapport à la porteuse , c'est mieux que 75db , je suis limité par le bruit de mon analyseur.

Le logiciel complet a ensuite été terminé et quelques Oms ont testé la validité du montage et de la programmation à switches. Il n'y a pas eu de soucis , sauf un petit détail expliqué un peu plus loin.

MODIFICATIONS DU MONTAGE ET DU CI :

Schéma :

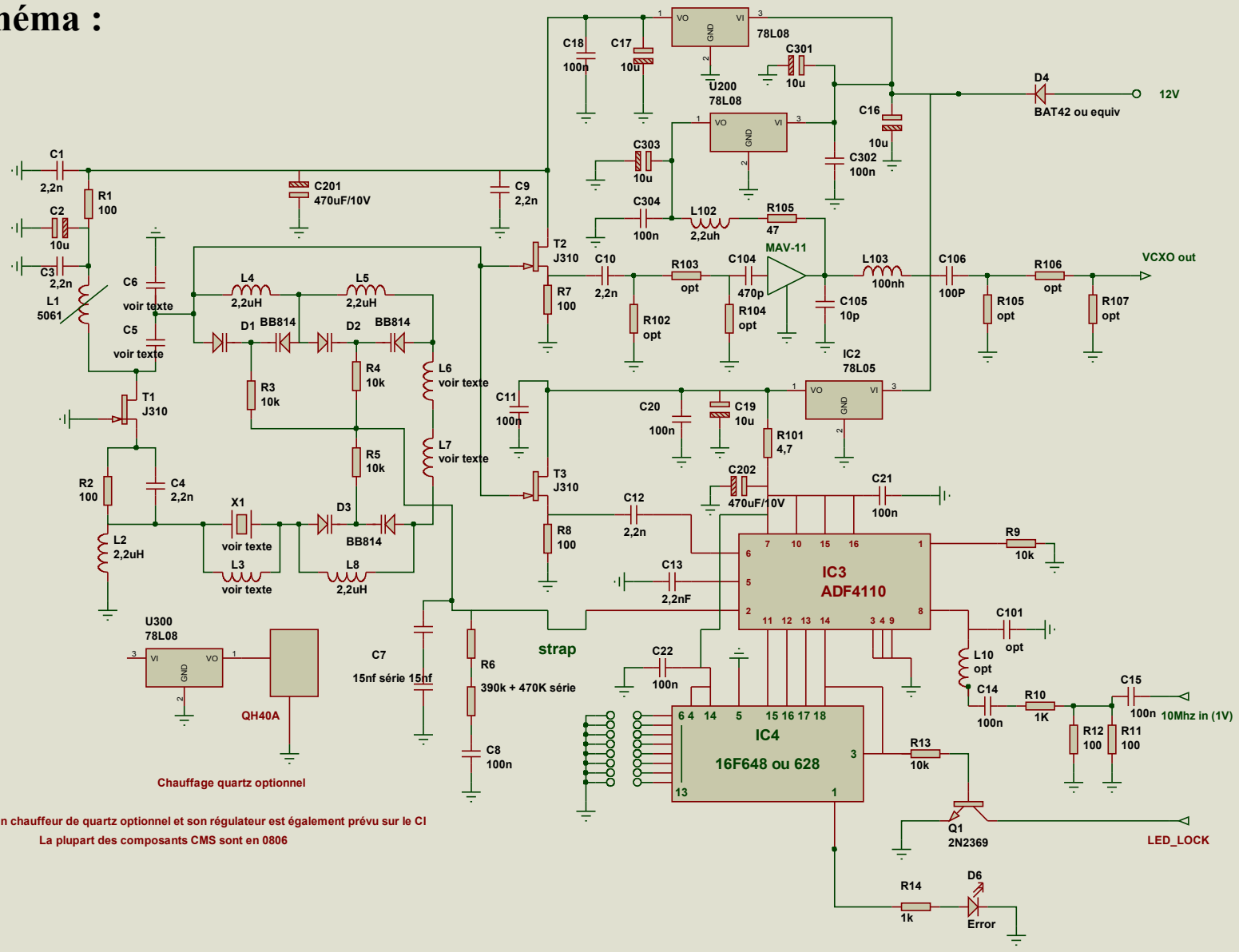
- Nouveau filtre de boucle
- Amélioration du filtrage
- Ajout d'un atténuateur/buffer /passe bas en sortie.
- Ajout d'un 78L08 pour le buffer.
- Ajout d'un thermostat au quartz optionnel.
- Ajout d'un ampli à transistor sur la diode LED lock , et sortie de cette diode pour affichage externe.

Circuit imprimé :

Modification de l'implantation des switches (poids fort à droite , tout le monde , dont moi , s'est retrouvé à se poser des questions alors que les switches étaient à l'envers !)

- Adaptation du nouveau filtre de boucle.
- Ajout de deux condensateurs de filtrage (470uF).
- Ajout d'une résistance série d'alimentation sur le 4110.
- Ajout d'un strap permettant de couper la liaison 4110/Filtre de boucle (régler la plage d'oscillation avec le 4110 en circuit sans le fumer)
- Ajout d'un atténuateur/buffer/atténuateur.
- Ajout d'un régulateur L08 supplémentaire (CMS) et des pastilles nécessaire au montage (optionnel) d'un chauffeur de quartz (http://www.kuhne-electronic.de/en/shop/155_Crystal_Heater/article:109_QH_40_A)

Schéma :



Commentaires :

La majorité des composants est constituée d'empreintes 0805 , **assurez vous de votre habilité à câbler ce genre de composants** (fer adéquat, brucelles fines ne pas trembler) .

La programmation de la fréquence se fait sur le port du PIC en laissant en l'air les entrées à 1 et en strappant à la masse les entrées à 0.

L'atténuateur R102/103/104 est là pour isoler la PLL du monde extérieur , le MMIC derrière pour rattraper la perte induite. R105/106/107 , optionnelles permettent d'ajuster le niveau si nécessaire. Il est également possible en jouant sur les atténuateurs et le MMIC d'obtenir un niveau important en sortie (si votre transverter est loin du montage.

LED Lock= allumée si la fréquence est verrouillée

LED Error : Clignote quand une fréquence non implémentée a été programmée.

Le boitier Shubert 55*74*30mm convient pour le montage.

La table de fréquence utilisée est la même que celle d'Henning (voir en fin de cet article)

Quelques exemples de réalisation qui vous permettront d'avoir une idée des composants à mettre en place :

| QRG (Mhz) | Noyau 5061 | L3 (uH) | L6 (uH) | L7 (uH) | C5 (pF) | C6 (pF) |
|-----------|------------|---------|---------|---------|---------|---------|
| 106.500 | laiton | 0.47 | 0.1 | 0.1 | 22 | 68 |
| 106.500 | ferrite | 0.47 | 0 | 0 | 22 | 47 |
| 106.500 | ferrite | 0.27 | 0.33 | 0 | 15 | 82 |
| 106.500 | ferrite | 0.3 | 0 | 0 | 22 | 68 |
| 117.000 | laiton | 0.47 | 0.1 | 0.1 | 15 | 68 |
| 120.889 | laiton | 0.47 | 0.1 | 0.1 | 15 | 68 |
| 122.250 | laiton | 0.47 | 0.1 | 0.1 | 15 | 68 |
| 123.000 | laiton | 0.22 | 0.15 | 0 | 18 | 33 |
| 124.500 | ? | 0.27 | 0 | 0 | ? | ? |

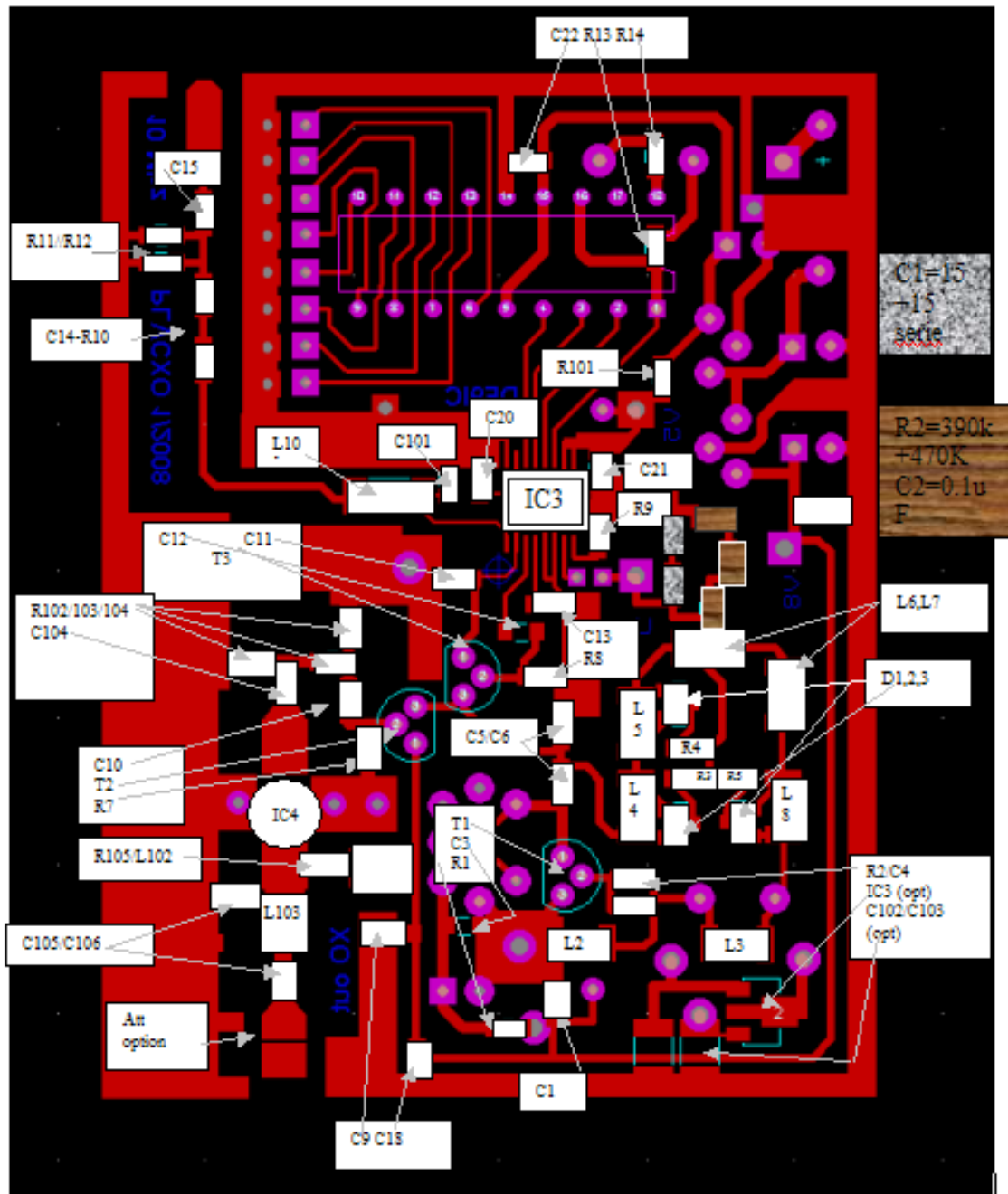
Procédure de pré réglage de la 5061 :tester l'oscillateur sans quartz comme indiqué plus haut. S'assurer que la fréquence désirée est bien possible à obtenir. Sinon , jouer sur C5 , et dans une moindre mesure sur C6 (pour cette dernière surtout si l'oscillateur décroche)

Selfs de tirage L6/L7 : Si le tirage vers le bas est insuffisant , ajouter L6/L7 , expérimenter en commençant par de faibles valeurs (150nH par exemple).

Questionnement : comme d'habitude , il est plus difficile de faire monter le quartz que de le faire descendre . D'où la possibilité qu'un quartz taillé 1Khz plus haut facilite un peu la vie. Cela n'a pas été testé pour le moment.

PCB : Les tentatives de reproduction en imprimant en .pdf depuis le logiciel de pcb se soldent ,à chaque fois, par des problèmes d'échelle. Me contacter pour obtenir un pcb , ou un fichier Gerber.

IMPLANTATION :



LOGICIEL :

Il est disponible auprès de moi-même. Dès que possible, il sera placé sur un serveur web. Seul le .hex est dispo.

La table de fréquence est la même que celle d'Henning. Les bits à mettre à 1 restent en l'air, les bits à mettre à zéro sont court circuités à la masse.

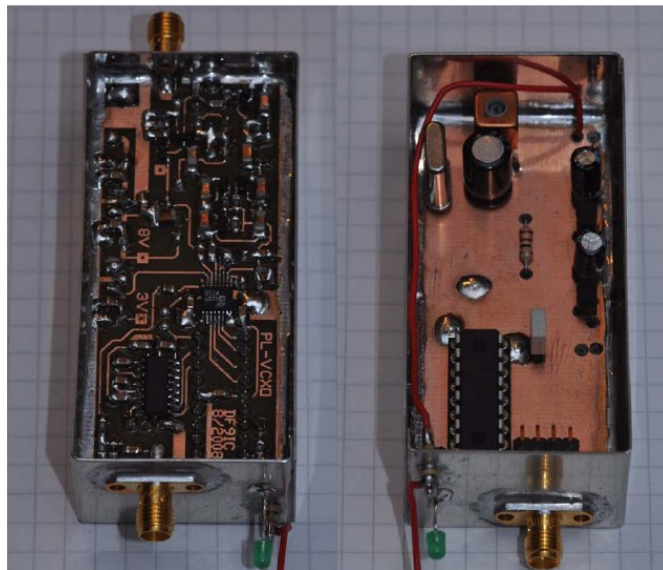
Toutes les QRG n'ont pas pu être validées. Je me suis tapé la vérification de tous les registres un par un, normalement c'est OK, mais une erreur est toujours possible. En ce cas, me le signaler.

L'usage en est facile : programmer le PIC, déterminer la valeur des switches à partir de la table d'Henning, placer les switches. S'il y a une erreur (QRG qui n'existe pas dans la table), la LED alarme clignote, sinon, une fois le 10Mhz appliqué sur le

synthé , la led verrouillage doit s'allumer. Si ca ne fonctionne pas , la première chose à faire est de vérifier que votre oscillateur est correctement réglé.
L'ajout d'une fréquence exotique est possible , sous réserve qu'elle tombe dans les possibilités du 4110 , me contacter pour un ajout..

CONCLUSION : un système très abordable et qui devrait permettre à tout le monde d'être certain de sa fréquence. Henning a également travaillé sur un système à base de PLL fractionnaire qui devrait permettre à nos balises d'être dignes de la précision de nos OL. Le logiciel associé reste à écrire.

http://www.df9ic.de/doc/2008/weinheim_2008/weinheim08_baken.pdf



Ci-dessus , la version « balise » avec synthé fractionnaire.

Annexe :
5061 ferrite/5061 laiton

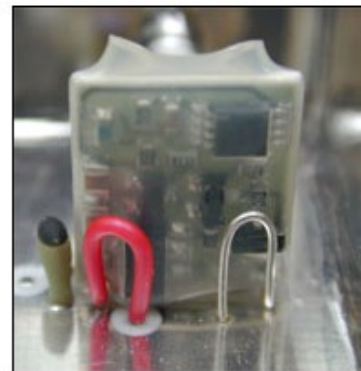
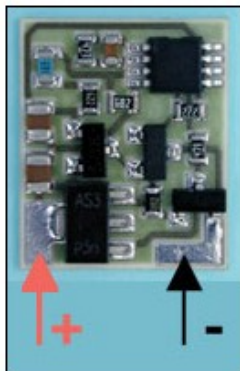
Remerciements :
-DF9IC Henning le génial concepteur du montage , qui nous a autorisé à le diffuser ,
et nous a aidé lors de la mise au point par quelques explications claires.
-F5LGJ Olivier pour la mesure des bruits de phase et sa persévérance .
-Les bétas testeurs : F1VL/F6CXO/F6ETU.

40 °C Precision Crystal Heater

The precision crystal heater provides temperature stabilisation for crystals. The circuit, which is built on AL_2O_3 ceramic substrate, has to be mounted on the 40 °C thermostat crystal. Then, the crystal is heated to 40.8 °C with a regulation accuracy of better than 0.1 °C. This provides high frequency stability. The precision crystal heater is an expensive alternative to completely heated oven oscillators (OCXOs). However, the stability values of an OCXO can not be reached.

Applications

- Temperature stabilisation of crystals for high frequency stability



Specifications

| | |
|---------------------|-----------------------------------|
| Type | QH 40 A |
| Temperature | 40.8 °C (+/- 2.5 °C) |
| Regulation accuracy | better 0.1° C |
| Supply voltage | 8...12 V, use stabilized voltage! |
| Inrush current | typ. 80 mA |
| Dimensions (mm) | 10.5 x 14.0 x 3.5 |